

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2002年1月31日 (31.01.2002)

PCT

(10)国際公開番号
WO 02/09418 A1

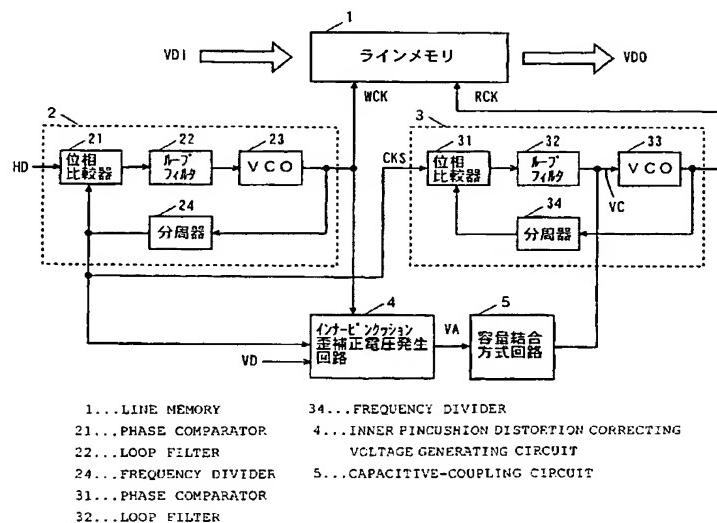
- (51)国際特許分類⁷: H04N 3/23, 5/14
- (21)国際出願番号: PCT/JP01/06336
- (22)国際出願日: 2001年7月23日 (23.07.2001)
- (25)国際出願の言語: 日本語
- (26)国際公開の言語: 日本語
- (30)優先権データ:
特願2000-224415 2000年7月25日 (25.07.2000) JP
特願2001-200115 2001年6月29日 (29.06.2001) JP
- (71)出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72)発明者: および
(75)発明者/出願人(米国についてのみ): 中辻正則
- (NAKATSUJI, Masanori) [JP/JP]; 〒567-0806 大阪府茨木市庄1-9-26-706 Osaka (JP). 田中正信 (TANAKA, Masanobu) [JP/JP]; 〒573-1149 大阪府枚方市牧野北町5-4-709 Osaka (JP). 上畠秀世 (UWABATA, Hideyo) [JP/JP]; 〒569-1121 大阪府高槻市真上町6-10-1-502 Osaka (JP). 奥村直司 (OKUMURA, Naoji) [JP/JP]; 〒562-0003 大阪府箕面市西小路2-13-55 アクセスコードー箕面311号 Osaka (JP). 山手万典 (YAMATE, Kazunori) [JP/JP]; 〒567-0885 大阪府茨木市東中条町10-304 Osaka (JP).
- (74)代理人: 福島祥人 (FUKUSHIMA, Yoshito); 〒564-0052 大阪府吹田市広芝町4番1号 江坂・ミタカビル6階 Osaka (JP).
- (81)指定国(国内): CN, KR, US.
- (84)指定国(広域): ヨーロッパ特許 (DE, FR, GB).

添付公開書類:
— 国際調査報告書

[続葉有]

(54)Title: IMAGE DISTORTION CORRECTING DEVICE AND IMAGE DISTORTION CORRECTING METHOD

(54)発明の名称: 画像歪補正装置および画像歪補正方法



(57)Abstract: A write-side PLL circuit generates a write clock for writing a video signal in a line memory. A read-side PLL circuit generates a read clock for reading the video signal stored in the line memory. An inner pincushion distortion correcting voltage generating circuit modulates the correction waveform of a horizontal rate with the correction waveform of a vertical rate so as to generate an inner pincushion distortion waveform and adds a dc component correcting pulse to the waveform so as to output the waveform as an inner pincushion distortion correcting voltage. A capacitive-coupling circuit superimposes the inner pincushion distortion correcting voltage on the output voltage of a loop filter of the read-side PLL circuit so as to supply the voltage as a control signal to a VCO.

[続葉有]

WO 02/09418 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

書き込み側PLL回路はラインメモリに映像信号を書き込むための書き込みクロックを発生する。読み出し側PLL回路はラインメモリに記憶された映像信号を読み出すための読み出しクロックを発生する。インナーピンクッション歪補正電圧発生回路は水平レートの補正波形を垂直レートの補正波形で変調することによりインナーピンクッション歪補正電圧を発生し、直流成分補正パルスを付加してインナーピンクッション歪補正電圧として出力する。容量結合方式回路はインナーピンクッション歪補正電圧を読み出し側PLL回路のループフィルタの出力電圧に重畠し、制御電圧としてVCOに与える。

明 細 書

画像歪補正装置および画像歪補正方法

技術分野

本発明は、映像信号に基づいて画面上に表示される画像における歪を補正する画像歪補正装置および画像歪補正方法に関する。

背景技術

CRT（陰極線管）では、偏向磁界により電子ビームを偏向して蛍光面上に照射することにより画面に画像を表示している。CRTの蛍光面の半径は電子ビームの偏向中心点から蛍光面までの半径に比べて大きいため、同じ偏向量に対する画面の周辺部での電子ビームの移動量は画面の中心部での電子ビームの移動量に比べて大きくなる。その結果、本来等間隔のクロスハッチパターンを画面に表示した場合、クロスハッチパターンの間隔が画面の中心部から周辺部に近づくにしたがって広がる現象が生じる。

このような現象は画面の水平方向および垂直方向の両方で発生するが、水平方向においては垂直方向よりも偏向差が大きいため、画像の歪が顕著に現われる。このような画像の歪は左右糸巻き歪と呼ばれる。そこで、通常は、画面の周辺部での偏向量を小さくするように偏向電流を流すことにより左右糸巻き歪補正を行っている。

しかしながら、画面上の画像の左右端の縦線が直線になるように左右糸巻き歪補正を行うと、画面の中心と左右端との間の中間部で直線となるべき縦線が内側に湾曲する現象が発生する。このような現象はインナーピンクッション歪と呼ばれている。

CRTの薄型化および平面化に伴ってインナーピンクッション歪が増大する。このように増大したインナーピンクッション歪を補正するためには、補正量を大きくする必要がある。

CRTでは、上記のように、偏向磁界により電子ビームを偏向して画面に画像

を表示している。この場合、偏向磁界を発生するために、偏向系において偏向ヨークに数 A p p (アンペアピークピーク) の偏向電流を流している。偏向系においてインナーピンクッション歪を補正する場合には、偏向電流を変調するが、電流量が大きいため、補正量が大きくなる程、数 W (ワット) 単位で消費電力が大きくなる。そのため、消費電力を抑制しつつ偏向系における偏向電流の調整によりインナーピンクッション歪を補正することは困難である。

また、偏向系においてインナーピンクッション歪を補正する場合、回路構成が複雑となり、低コスト化が妨げられる。

発明の開示

本発明の目的は、消費電力を増大させることなく画像の歪を補正することができる低コストの画像歪補正装置および画像歪補正方法を提供することである。

本発明の一局面に従う画像歪補正装置は、映像信号に基づいて画面上に表示される画像の歪を補正する画像歪補正装置であって、映像信号を記憶するための記憶装置と、入力された映像信号を記憶装置に書き込むための書き込みクロックを発生する書き込みクロック発生回路と、記憶装置に記憶された映像信号を読み出すための読み出しクロックを発生する読み出しクロック発生回路と、映像信号に基づいて画面上に表示される画素の位置を移動させることにより画像の歪を補正するための歪補正波形を発生する歪補正波形発生回路と、歪補正波形発生回路により発生された歪補正波形に基づいて、読み出しクロック発生回路により発生される読み出しクロックの周波数を制御する読み出しクロック制御回路とを備え、歪補正波形発生回路は、水平走査方向における画像の両端および中心で画素の移動量が 0 になるように歪補正波形を設定するものである。

本発明に係る画像歪補正装置においては、書き込みクロック発生回路により発生される書き込みクロックに応答して入力された映像信号が記憶装置に書き込まれ、読み出しクロック発生回路により発生された読み出しクロックに応答して記憶装置に記憶された映像信号が読み出される。このとき、歪補正波形発生回路により発生された歪補正波形に基づいて、読み出しクロック制御回路により読み出しクロックの周波数が制御され、記憶装置からの映像信号の読み出し周期が変化

する。それにより、映像信号に基づいて画面上に表示される画素の位置が移動し、画像の歪が補正される。

この場合、水平走査方向における画像の両端および中心で画素の移動量が0になるように歪補正波形が設定されるので、画像の両端の位置および中心の位置がずれない。

このように、偏向系における偏向電流を変化させることなく、読み出しクロックを歪補正波形を用いて変化させることにより画像の歪を補正することが可能となるので、消費電力が増大しない。また、偏向系を改良することなく、歪補正波形発生回路および読み出しクロック制御回路を設けることにより画像の歪を補正することが可能となるので、回路構成が複雑化せず、低コスト化が妨げられない。

歪補正波形発生回路は、水平走査周期で変化する第1の補正波形を発生する第1の補正波形発生回路と、垂直走査周期で変化する第2の補正波形を発生する第2の補正波形発生回路と、第1の補正波形発生回路により発生された第1の補正波形を第2の補正波形発生回路により発生された第2の補正波形で変調することにより歪補正波形を得る変調回路とを含んでもよい。

この場合、水平走査周期で変化する第1の補正波形を垂直走査周期で変化する第2の補正波形で変調することにより歪補正波形が得られる。それにより、画面に表示される画像の全体にわたって画像の歪を補正することができる。

第2の補正波形は、変曲点を有し、変曲点で区分された第2の補正波形の複数の部分のうち少なくとも1つの部分の傾きが可変に設定されてもよい。

この場合、変曲点で区分された第2の補正波形の少なくとも1つの部分の傾きを調整することにより、画面の垂直方向の全体にわたって最適な歪補正が可能となる。

変調回路は、第1の補正波形発生回路により発生された第1の補正波形と第2の補正波形発生回路により発生された第2の補正波形とを乗算する乗算回路を含んでもよい。

この場合、第1の補正波形と第2の補正波形とを乗算することにより第1の補正波形が第2の補正波形で変調され、歪補正波形が得られる。

変調回路は、第1の補正波形発生回路により発生された第1の補正波形を受ける入力端子および第2の補正波形発生回路により発生された第2の補正波形を受ける利得制御端子を備えた増幅回路を含んでもよい。

この場合、第1の補正波形を第2の補正波形に対応する利得で増幅することにより第1の補正波形が第2の補正波形に変調され、歪補正波形が得られる。

第1の補正波形は、読み出しクロックの周波数の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、左端と中心との間で画素の移動量が0、正、0、負および0の順に変化し、中心と右端との間で画素の移動量が0、負、0、正および0の順に変化するように設定され、第2の補正波形は、画面の垂直方向の上下端で中央部に比べて振幅が大きくなるように設定されてもよい。

左右糸巻き歪補正によりインナーピンクション歪が生じた場合、画面上に表示される複数の縦線のうち左右端と中心との間の中間部の縦線が内側に湾曲する。この場合に、中間部の縦線の上下部の画素の位置を内側に移動させることによりインナーピンクション歪を補正することが可能となる。

第1の補正波形は、読み出しクロックの周波数の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、左端と中心との間で画素の移動量が0、負、0、正および0の順に変化し、中心と右端との間で画素の移動量が0、正、0、負および0の順に変化するように設定され、第2の補正波形は、画面の垂直方向の中央部で上下端に比べて振幅が大きくなるように設定されてもよい。

左右糸巻き歪補正によりインナーピンクション歪が生じた場合、画面上に表示される複数の縦線のうち左右端と中心との間の中間部の縦線が内側に湾曲する。この場合に、中間部の縦線の中央部の画素の位置を外側に移動させることによりインナーピンクション歪を補正することが可能となる。

読み出しクロック発生回路は、読み出しクロックを発生する電圧制御型発振器を有する位相同期ループを含み、歪補正波形発生回路は、歪補正波形を歪補正電圧として出力し、読み出しクロック制御回路は、歪補正波形発生回路により出力された歪補正電圧を位相同期ループの電圧制御型発振器の発振周波数制御電圧に

重畠してもよい。

この場合、歪補正電圧が位相同期ループの電圧制御型発振器の発振周波数制御電圧に重畠されることにより、読み出しクロックの周波数が変化する。それにより、記憶装置から読み出される映像信号の読み出し周期が変化し、映像信号に基づいて画面上に表示される画素の位置が移動することにより画像の歪が補正される。

第1の補正波形は、読み出しクロックの周期の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、左端と中心との間で画素の移動量が0、正、0、負および0の順に変化し、中心と右端との間で画素の移動量が0、負、0、正および0の順に変化するように設定され、第2の補正波形は、画面の垂直方向の上下端で中央部に比べて振幅が大きくなるように設定されてもよい。

左右糸巻き歪補正によりインナーピンクッシュョン歪が生じた場合、画面上に表示される複数の縦線のうち左右端と中心との間の中間部の縦線が内側に湾曲する。この場合に、中間部の縦線の上下部の画素の位置を内側に移動させることによりインナーピンクッシュョン歪を補正することが可能となる。

第1の補正波形は、読み出しクロックの周期の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、左端と中心との間で画素の移動量が0、負、0、正および0の順に変化し、中心と右端との間で画素の移動量が0、正、0、負および0の順に変化するように設定され、第2の補正波形は、画面の垂直方向の中央部で上下端に比べて振幅が大きくなるように設定されてもよい。

左右糸巻き歪補正によりインナーピンクッシュョン歪が生じた場合、画面上に表示される複数の縦線のうち左右端と中心との間の中間部の縦線が内側に湾曲する。この場合に、中間部の縦線の中央部の画素の位置を外側に移動させることによりインナーピンクッシュョン歪を補正することが可能となる。

読み出しクロック発生回路は、読み出しクロックを発生する電圧制御型発振器を有する位相同期ループを含み、歪補正波形発生回路は、変調回路により得られた歪補正波形を読み出しクロックの周波数の変化に対応する歪補正電圧に変換す

る変換回路をさらに含み、読み出しクロック制御回路は、歪補正波形発生回路により出力された歪補正電圧を位相同期ループの電圧制御型発振器の発振周波数制御電圧に重畠してもよい。

この場合、歪補正電圧が位相同期ループの電圧制御型発振器の発振周波数制御電圧に重畠されることにより、読み出しクロックの周波数が変化する。それにより、記憶装置から読み出される映像信号の読み出し周期が変化し、映像信号に基づいて画面上に表示される画素の位置が移動することにより画像の歪が補正される。

映像信号画像歪補正装置は、各水平走査期間における歪補正電圧の平均値が所定値となるように水平ブランкиング期間において歪補正電圧に補正パルスを付加する補正パルス付加回路をさらに備えてもよい。

この場合、映像信号の各水平走査期間において電圧制御型発振器の発振周波数制御電圧の平均値が所定値になるので、電圧制御型発振器により発生される読み出しクロックの周波数の平均値が一定となる。このようにして、歪補正電圧の重畠前後で電圧制御型発振器の発振周波数制御電圧の平均値が変化しないようにすることにより、位相同期ループの動作が変化しない。

画像歪補正装置は、映像信号の各水平走査期間における歪補正電圧の平均値が所定値となるように水平ブランкиング期間において変換回路により得られた歪補正電圧に補正パルスを付加する補正パルス付加回路をさらに備えてもよい。

この場合、映像信号の各水平走査期間において電圧制御型発振器の発振周波数制御電圧の平均値が所定値になるので、電圧制御型発振器により発生される読み出しクロックの周波数の平均値が一定となる。このようにして、歪補正電圧の重畠前後で電圧制御型発振器の発振周波数制御電圧の平均値が変化しないようにすることにより、位相同期ループの動作が変化しない。

補正パルス付加回路は、1水平走査期間ごとに歪補正電圧の平均値が所定値となるように水平ブランкиング期間において位相同期ループの位相比較時点よりも前に歪補正電圧に補正パルスを付加してもよい。

位相同期ループは、電圧制御型発振器から出力される読み出しクロックを分周する分周器と、分周器の出力信号の位相と所定の基準信号の位相を比較する位相

比較器と、位相比較器の出力電圧を平滑化して出力ノードを介して電圧制御発振器に入力するループフィルタとをさらに有し、読み出しクロック制御回路は、歪補正波形発生回路により出力された歪補正電圧を受けるベースを有するエミッタフォロア型トランジスタと、トランジスタのエミッタと位相同期ループのループフィルタの出力ノードとの間に設けられた容量とを含んでもよい。

この場合、エミッタフォロア型トランジスタおよび容量により歪補正電圧が電圧制御発振器の発振周波数制御電圧に重畠される。それにより、簡単な回路構成により歪補正波形に基づいて読み出しクロックの周波数を制御することが可能となる。

位相同期ループは、電圧制御型発振器から出力される読み出しクロックを分周する分周器と、分周器の出力信号の位相と所定の基準信号の位相を比較する位相比較器と、位相比較器の出力電圧を平滑化するループフィルタとをさらに有し、読み出しクロック制御回路は、歪補正波形発生回路により出力された歪補正電圧と位相同期ループのループフィルタの出力電圧とを加算して電圧制御型発振器に与える加算回路を含んでもよい。

この場合、歪補正電圧と位相同期ループのループフィルタの出力電圧とが加算され、電圧制御型発振器に与えられる。歪補正電圧とループフィルタとの間に加算回路が介在するので、歪補正波形がループフィルタの影響により歪むことなく読み出しクロックに重畠される。それにより、歪補正波形に基づいて読み出しクロックの周波数を制御することが可能となる。

本発明の他の局面に従う画像歪補正方法は、映像信号に基づいて画面上に表示される画像の歪を補正する画像歪補正方法であって、入力された映像信号を記憶装置に書き込むための書き込みクロックを発生するステップと、記憶装置に記憶された映像信号を読み出すための読み出しクロックを発生するステップと、映像信号に基づいて画面上に表示される画素の位置を移動させることにより画像の歪を補正するための歪補正波形を発生するステップと、発生された歪補正波形に基づいて読み出しクロックの周波数を制御するステップと、水平走査方向における画像の両端および中心で画素の移動量が0になるように歪補正波形を設定するステップとを備えるものである。

本発明に係る画像歪補正方法においては、書き込みクロックに応答して入力された映像信号が記憶装置に書き込まれ、読み出しクロックに応答して記憶装置に記憶された映像信号が読み出される。このとき、歪補正波形に基づいて読み出しクロックの周波数が制御され、記憶装置からの映像信号の読み出し周期が変化する。それにより、映像信号に基づいて画面上に表示される画素の位置が移動し、画像の歪が補正される。

この場合、水平走査方向における画像の両端および中心で画素の移動量が0になるように歪補正波形が設定されるので、画像の両端の位置および中心の位置がずれない。

このように、偏向系における偏向電流を変化させることなく、読み出しクロックを歪補正波形を用いて変化させることにより画像の歪を補正することが可能となるので、消費電力が増大しない。また、偏向系を改良することなく、歪補正波形の発生および歪補正波形に基づく読み出しクロックの制御により画像の歪を補正することが可能となるので、回路構成が複雑化せず、低コスト化が妨げられない。

歪補正波形を発生するステップは、水平走査周期で変化する第1の補正波形を発生するステップと、垂直走査周期で変化する第2の補正波形を発生するステップと、第1の補正波形を第2の補正波形で変調することにより歪補正波形を得るステップとを含んでもよい。

この場合、水平走査周期で変化する第1の補正波形を垂直走査周期で変化する第2の補正波形で変調することにより歪補正波形が得られる。それにより、画面に表示される画像の全体にわたって画像の歪を補正することができる。

第2の補正波形は、変曲点を有し、歪補正波形を発生するステップは、変曲点で区分された第2の補正波形の複数の部分のうち少なくとも1つの部分の傾きを可変に設定するステップをさらに含んでもよい。

この場合、変曲点で区分された第2の補正波形の少なくとも1つの部分の傾きを調整することにより、画面の垂直方向の全体にわたって最適な歪補正が可能となる。

第1の補正波形は、読み出しクロックの周波数の変化に対応し、走査が左から

右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、左端と中心との間で画素の移動量が0、正、0、負および0の順に変化し、中心と右端との間で画素の移動量が0、負、0、正および0の順に変化するように設定され、第2の補正波形は、画面の垂直方向の上下端で中央部に比べて振幅が大きくなるように設定されてもよい。

左右糸巻き歪補正によりインナーピンクッション歪が生じた場合、画面上に表示される複数の縦線のうち左右端と中心との間の中間部の縦線が内側に湾曲する。この場合に、中間部の縦線の上下部の画素の位置を内側に移動させることによりインナーピンクッション歪を補正することが可能となる。

第1の補正波形は、読み出しクロックの周波数の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、左端と中心との間で画素の移動量が0、負、0、正および0の順に変化し、中心と右端との間で画素の移動量が0、正、0、負および0の順に変化するように設定され、第2の補正波形は、画面の垂直方向の中央部で上下端に比べて振幅が大きくなるように設定されてもよい。

左右糸巻き歪補正によりインナーピンクッション歪が生じた場合、画面上に表示される複数の縦線のうち左右端と中心との間の中間部の縦線が内側に湾曲する。この場合に、中間部の縦線の中央部の画素の位置を外側に移動させることによりインナーピンクッション歪を補正することが可能となる。

読み出しクロックを発生するステップは、電圧制御型発振器を有する位相同期ループにより読み出しクロックを発生するステップを含み、歪補正波形を発生するステップは、歪補正波形を歪補正電圧として出力するステップを含み、読み出しクロックの周波数を制御するステップは、出力された歪補正電圧を位相同期ループの電圧制御型発振器の発振周波数制御電圧に重畠するステップを含んでもよい。

この場合、歪補正電圧が位相同期ループの電圧制御型発振器の発振周波数制御電圧に重畠されることにより、読み出しクロックの周波数が変化する。それにより、記憶装置から読み出される映像信号の読み出し周期が変化し、映像信号に基づいて画面上に表示される画素の位置が移動することにより画像の歪が補正され

る。

第1の補正波形は、読み出しクロックの周期の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、左端と中心との間で画素の移動量が0、正、0、負および0の順に変化し、中心と右端との間で画素の移動量が0、負、0、正および0の順に変化するように設定され、第2の補正波形は、画面の垂直方向の上下端で中央部に比べて振幅が大きくなるように設定されてもよい。

左右糸巻き歪補正によりインナーピンクッション歪が生じた場合、画面上に表示される複数の縦線のうち左右端と中心との間の中間部の縦線が内側に湾曲する。この場合に、中間部の縦線の上下部の画素の位置を内側に移動させることによりインナーピンクッション歪を補正することが可能となる。

第1の補正波形は、読み出しクロックの周期の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、左端と中心との間で画素の移動量が0、負、0、正および0の順に変化し、中心と右端との間で画素の移動量が0、正、0、負および0の順に変化するように設定され、第2の補正波形は、画面の垂直方向の中央部で上下端に比べて振幅が大きくなるように設定されてもよい。

左右糸巻き歪補正によりインナーピンクッション歪が生じた場合、画面上に表示される複数の縦線のうち左右端と中心との間の中間部の縦線が内側に湾曲する。この場合に、中間部の縦線の中央部の画素の位置を外側に移動させることによりインナーピンクッション歪を補正することが可能となる。

読み出しクロックを発生するステップは、電圧制御型発振器を有する位相同期ループにより読み出しクロックを発生するステップを含み、歪補正波形を発生するステップは、歪補正波形を読み出しクロックの周波数の変化に対応する歪補正電圧に変換して出力するステップを含み、読み出しクロックの周波数を制御するステップは、出力された歪補正電圧を位相同期ループの電圧制御型発振器の発振周波数制御電圧に重畠するステップを含んでもよい。

この場合、歪補正電圧が位相同期ループの電圧制御型発振器の発振周波数制御電圧に重畠されることにより、読み出しクロックの周波数が変化する。それによ

り、記憶装置から読み出される映像信号の読み出し周期が変化し、映像信号に基づいて画面上に表示される画素の位置が移動することにより画像の歪が補正される。

画像歪補正方法は、映像信号の各水平走査期間における歪補正電圧の平均値が所定値となるように水平ブランкиング期間において歪補正電圧に補正パルスを付加するステップをさらに備えてもよい。

この場合、映像信号の各水平走査期間において電圧制御型発振器の発振周波数制御電圧の平均値が所定値になるので、電圧制御型発振器により発生される読み出しクロックの周波数の平均値が一定となる。このようにして、歪補正電圧の重畠前後で電圧制御型発振器の発振周波数制御電圧の平均値が変化しないようにすることにより、位相同期ループの動作が変化しない。

補正パルスを付加するステップは、1水平走査期間ごとに歪補正電圧の平均値が所定値となるように水平ブランкиング期間において位相同期ループの位相比較時点よりも前に歪補正電圧に補正パルスを付加するステップを含んでもよい。

本発明のさらに他の局面に従う画像歪補正装置は、映像信号に基づいて画面上に表示される画像の歪を補正する画像歪補正装置であって、映像信号を記憶するための記憶手段と、入力された映像信号を記憶手段に書き込むための書き込みクロックを発生する書き込みクロック発生手段と、記憶手段に記憶された映像信号を読み出すための読み出しクロックを発生する読み出しクロック発生手段と、映像信号に基づいて画面上に表示される画素の位置を移動させることにより画像の歪を補正するための歪補正波形を発生する歪補正波形発生手段と、歪補正波形発生手段により発生された歪補正波形に基づいて、読み出しクロック発生手段により発生される読み出しクロックの周波数を制御する読み出しクロック制御手段とを備え、歪補正波形発生手段は、水平走査方向における画像の両端および中心で画素の移動量が0になるように歪補正波形を設定するものである。

本発明に係る画像歪補正装置においては、書き込みクロック発生手段により発生される書き込みクロックに応答して入力された映像信号が記憶手段に書き込まれ、読み出しクロック発生手段により発生された読み出しクロックに応答して記憶手段に記憶された映像信号が読み出される。このとき、歪補正波形発生手段に

より発生された歪補正波形に基づいて、読み出しクロック制御手段により読み出しクロックの周波数が制御され、記憶手段からの映像信号の読み出し周期が変化する。それにより、映像信号に基づいて画面上に表示される画素の位置が移動し、画像の歪が補正される。

この場合、水平走査方向における画像の両端および中心で画素の移動量が0になるように歪補正波形が設定されるので、画像の両端の位置および中心の位置がずれない。

このように、偏向系における偏向電流を変化させることなく、読み出しクロックを歪補正波形を用いて変化させることにより画像の歪を補正することが可能となるので、消費電力が増大しない。また、偏向系を改良することなく、歪補正波形発生手段および読み出しクロック制御手段を設けることにより画像の歪を補正することが可能となるので、回路構成が複雑化せず、低コスト化が妨げられない。

以上のように、本発明によれば、歪補正波形に基づいて読み出しクロックの周波数が制御されることにより、記憶装置または記憶手段からの映像信号の読み出し周期が変化する。それにより、映像信号に基づいて画面上に表示される画素の位置が移動し、画像の歪が補正される。この場合、水平走査方向における画像の両端および中心で画素の移動量が0になるように歪補正波形が設定されるので、画像の両端の位置および中心の位置がずれない。

このように、偏向系における偏向電流を変化させることなく、読み出しクロックを歪補正波形を用いて変化させることにより画像の歪を補正することが可能となるので、消費電力が増大しない。また、偏向系を改良することなく、歪補正波形発生回路または歪補正波形発生手段および読み出しクロック制御回路または読み出しクロック制御回路を設けることにより画像の歪を補正することが可能となるので、回路構成が複雑化せず、低コスト化が図られる。

図面の簡単な説明

図1は、本発明の第1の実施の形態における画像歪補正装置の構成を示すブロック図

図 2 は、インナーピンクッション歪を説明するための模式図

図 3 は、画面上の画素の移動によるインナーピンクッション歪補正の一例を示す図

図 4 は、画面の水平方向での画素の移動量と画面の垂直方向の位置との関係を示す図

図 5 は、図 1 の読み出し側 P L L 回路の V C O の周波数 - 電圧特性の一例を示す図

図 6 は、画面の中央部を基準とするインナーピンクッション歪補正に用いる周波数変化に基づく水平レートの補正波形を示す波形図、水平レートの補正波形による画素の移動量を示す波形図およびインナーピンクッション歪量を示す図

図 7 は、直流成分補正パルスの一例を説明するための波形図

図 8 は、画面の中央部を基準とするインナーピンクッション歪補正に用いる周波数変化に基づく水平レートの補正波形、垂直レートの補正波形およびインナーピンクッション歪補正電圧の一例を示す波形図

図 9 は、画面の上下端を基準とするインナーピンクッション歪補正に用いる周波数変化に基づく水平レートの補正波形、垂直レートの補正波形およびインナーピンクッション歪補正電圧の一例を示す波形図

図 10 は、画面の中央部を基準とするインナーピンクッション歪補正に用いる周期変化に基づく水平レートの補正波形、垂直レートの補正波形およびインナーピンクッション歪補正電圧の一例を示す波形図

図 11 は、画面の上下端を基準とするインナーピンクッション歪補正に用いる周期変化に基づく水平レートの補正波形、垂直レートの補正波形およびインナーピンクッション歪補正電圧の一例を示す波形図

図 12 は、図 1 のインナーピンクッション歪補正電圧発生回路の構成の第 1 の例を示すブロック図

図 13 は、図 1 のインナーピンクッション歪補正電圧発生回路の構成の第 2 の例を示すブロック図

図 14 は、図 1 のインナーピンクッション歪補正電圧発生回路の構成の第 3 の例を示すブロック図

図15は、画面の上下部の変曲点の補正の一例を示す図

図16は、垂直レート補正波形発生回路の構成の一例を示すブロック図

図17は、図16の三角波発生部により発生される波形および図16の逆L
G変換テーブルにより出力される波形の一例を示す図

図18は、図1の読み出し側PLL回路および容量結合方式回路の構成の一例を示す回路図

図19は、本発明の第2の実施の形態における画像歪補正装置の構成を示すブロック図

図20は、図19の読み出し側PLL回路および加算結合方式回路の構成の一例を示す回路図

図21は、画面上の縦線の中央部と上下端との間の位置を基準とするインナーピンクッション歪補正に用いる垂直レートの補正波形の一例を示す波形図

発明を実施するための最良の形態

図1は本発明の第1の実施の形態における画像歪補正装置の構成を示すブロック図である。

図1の画像歪補正装置は、ラインメモリ1、書き込み側PLL（位相同期ループ）回路2、読み出し側PLL回路3、インナーピンクッション歪補正電圧発生回路4および容量結合方式回路5を備える。書き込み側PLL回路2は、位相比較器21、ループフィルタ22、VCO（電圧制御型発振器）23および分周器24を含む。同様に、読み出し側PLL回路3は、位相比較器31、ループフィルタ32、VCO33および分周器34を含む。

書き込み側PLL回路2の位相比較器21には映像信号VDIと同期した水平同期信号HDが与えられる。位相比較器21は、水平同期信号HDと分周器24の出力信号との位相差に応じた電圧をループフィルタ22を介して制御電圧としてVCO23に与える。VCO23は、制御電圧に応じた周波数を有する出力信号を書き込みクロックWCKとしてラインメモリ1、分周器24およびインナーピンクッション歪補正電圧発生回路4に与える。分周器24は、書き込みクロックWCKを分周し、出力信号を水平同期信号HDとの位相比較信号として位相比

較器 2 1 に与え、また読み出し側の基準信号 C K S として読み出し側 P L L 回路 3 の位相比較器 3 1 およびインナーピンクッション歪補正電圧発生回路 4 に与える。

インナーピンクッション歪補正電圧発生回路 4 は、書き込みクロック W C K 、基準信号 C K S および垂直基準信号 V D に基づいてインナーピンクッション歪補正電圧 V A を発生する。ここで、垂直基準信号 V D は垂直同期信号に同期した信号である。

読み出し側 P L L 回路 3 の位相比較器 3 1 は、基準信号 C K S と分周器 3 4 の出力信号との位相差に応じた電圧をループフィルタ 3 2 に与える。ループフィルタ 3 2 は、位相比較器 3 1 から与えられる電圧を平滑化する。容量結合方式回路 5 は、インナーピンクッション歪補正電圧発生回路 4 により発生されたインナーピンクッション歪補正電圧 V A をループフィルタ 3 2 の出力電圧に重畠し、制御電圧 V C として V C O 3 3 に与える。V C O 3 3 は、制御電圧 V C に応じた周波数を有する読み出しクロック R C K をラインメモリ 1 および分周器 3 4 に与える。分周器 3 4 は、読み出しクロック R C K を分周し、出力信号を位相比較器 3 1 に与える。

ラインメモリ 1 には、書き込みクロック W C K に応答してデジタルの映像信号 V D I が書き込まれる。ラインメモリ 1 からは、読み出しクロック R C K に応答してデジタルの映像信号 V D O が読み出される。

本実施の形態の画像歪補正装置においては、後述するように、読み出し側 P L L 回路 3 のフィードバックループにおける V C O 3 3 の制御電圧にインナーピンクッション歪補正電圧 V A を重畠することにより V C O 3 3 の発振周波数（読み出しクロック R C K の周波数）を変調する。それにより、ラインメモリ 1 からの映像信号 V D O の読み出し周期を変化させ、画素の幅を変化させる。その結果、画素を水平方向に移動でき、インナーピンクッション歪を補正することができる。

本実施の形態では、ラインメモリ 1 が記憶装置または記憶手段に相当し、書き込み側 P L L 回路 2 が書き込みクロック発生回路または書き込みクロック発生手段に相当し、読み出し側 P L L 回路 3 が読み出しクロック発生手段または読み出

レクロック発生手段に相当し、インナーピンクッション歪補正電圧発生回路4が歪補正波形発生回路または歪補正波形発生手段に相当し、容量結合方式回路5が歪補正波形重畠回路または歪補正波形重畠回路に相当する。

ここで、本実施の形態におけるインナーピンクッション歪補正の基本的な原理を説明する。

図2はインナーピンクッション歪を説明するための模式図である。偏向系により左右糸巻き歪補正を行った状態で画面上に等間隔の縦線を表示した場合、図2に示されるように、画面の中心の縦線および左右端の縦線が直線になり、画面の中心と左右端との間の中間部で直線となるべき縦線が内側に湾曲する。本来表示されるべき縦線を構成する各画素の位置と湾曲して表示された縦線の各画素の位置とのずれがインナーピンクッション歪量IPとなる。

矢印x1で示すように、画面上の縦線の上下方向の中央部を基準として上下部の画素を水平方向に内側に向かって移動させることによりインナーピンクッシュン歪を補正することができる。逆に、縦線の上下端を基準として中央部の画素を水平方向に外側に向かって移動させることによりインナーピンクッシュン歪を補正することも可能である。

以下の説明では、特に述べない場合には、画面上の縦線の上下方向の中央部を基準として上下部の画素を水平方向に内側に向かって移動させることによりインナーピンクッシュン歪を補正する場合を説明する。また、走査は画面の左から右(矢印x1の方向)へ行われるものとする。

図3は画面上の画素の移動によるインナーピンクッシュン歪補正の一例を示す図である。図3(a)はインナーピンクッシュン歪補正前の1ライン上の画素を示し、図3(b)はインナーピンクッシュン歪補正後の1ライン上の画素を示す。図1の読み出しクロックRCKの周期が1画素の幅に相当する。

図3において、縦線を構成する画素を斜線で示す。この場合、読み出しクロックRCKの周期を大きくすると、図3に示すように、縦線を構成する画素の幅が変化するとともに水平時間軸方向において画素の位置が変化する。CRTの画面上では、映像信号の時間軸が空間軸に変換されるため、水平方向に画素の位置が変化する。このとき、画素の幅の変化は偏向歪と相殺され、偏向歪がない状態の

画素の幅に近づく。図3の例では、6個の画素を1単位として幅および位置を変化させている。

図4は画面の水平方向での画素の移動量と画面の垂直方向の位置との関係を示す図である。図2に示したように、画面の中心と左右端との間の中間部で直線となるべき縦線が内側に湾曲するため、画素の移動量を画面の上下方向の中央部での最小とし、画面の上下端に近づくにつれて増加させることにより、縦線を直線状に補正することができる。

したがって、インナーピンクッション歪は、水平レート(水平走査周期)での補正および垂直レート(垂直走査周期)での補正からなる。すなわち、水平レートでの変化量(縦線を構成する画素の移動量)を垂直レートで変化させることにより画像のインナーピンクッション歪を補正することが可能となる。

図1の画像歪補正装置では、読み出し側PLL回路3のVCO33に与えられる制御電圧にインナーピンクッション歪補正電圧VAを重畠して読み出しクロックRCKの周波数を変化させることにより、画素の幅および位置を変化させる。インナーピンクッション歪補正電圧VAは、水平レートの補正波形を垂直レートの補正波形で変調することにより得られる。

図5は図1の読み出し側PLL回路3のVCO33の周波数-電圧特性の一例を示す図である。図5において、中心電圧Vcは読み出し側PLL回路3のファイードバックループにより決定される電圧であり、VCO33の制御電圧VCが中心電圧Vcのときに発振周波数が中心周波数Fcとなる。したがって、読み出し側PLL回路3のVCO33に与える制御電圧VCを中心電圧Vcから変化させることにより、読み出しクロックRCKの周波数を中心周波数Fcから変化させることができる。

例えば、制御電圧VCが中心電圧Vc以下になると、VCO33の発振周波数(読み出しクロックRCKの周波数)が中心周波数Fc以下になり、1画素の幅が大きくなる。その結果、走査が左から右へ行われる画面上では表示される画素が右方向へ移動する。

図6(a)は周波数変化に基づく水平レートの補正波形の一例を示す波形図、図6(b)は水平レートの補正波形による画素の移動量の一例を示す波形図、図

6 (c) はインナーピンクッション歪量の一例を示す図である。図 6において、横軸の 1 H は 1 水平走査期間または 1 水平走査距離を示している。また、縦軸の移動量は、各画素の移動距離を表している。このとき、画面右方向への移動を正としている。

ここで、周波数変化に基づく水平レートの補正波形は、読み出しクロック RCK の周波数に対応して変化する波形を有する。

補正では、映像信号における水平映像期間の開始点（画像の左端）から画像中心までの範囲で、補正前の読み出しクロック RCK の周期に対する補正後の読み出しクロック RCK の周期の変化量の積算値を 0 とする。これは、画像中心での画素の移動量が 0 になること（画像中心がずれないこと）に相当する。

また、映像信号における水平映像期間の開始点（画像の左端）から終了点（画像の右端）までの範囲内で、補正前の読み出しクロック RCK の周期に対する補正後の読み出しクロック RCK の周期の変化量の積算値を 0 とする。これは、画像の右端での画素の移動量が 0 になること（画像の最終点がずれないこと）に相当する。

ただし、上記の説明では、水平プランキング期間（水平帰線消去期間）においては、読み出しクロック RCK の周期は補正しないものとしている。

従って、図 6 (a) に示すように、周波数変化に基づく水平レートの補正波形は、画像中心および左右端で中心電圧 V_c となる。画像の左端と中心との間の中間部では、水平レートの補正波形は、中心電圧 V_c 以下に低下した後上昇し、中心電圧 V_c 以上に上昇した後中心電圧 V_c まで低下する。画像の中心と右端との間の中間部では、水平レートの補正波形は、中心電圧 V_c 以上に上昇した後低下し、中心電圧 V_c 以下に低下した後中心電圧 V_c まで上昇する。このとき、図 6 (a) の水平レートの補正波形による画素の移動量は、図 6 (b) に示すようになり、画像の中心および左右端で 0 となる。図 6 (b) のように画素を移動させることにより、図 6 (c) に示すようなインナーピンクッション歪を補正できる。

なお、図 6 (a) の例では、周波数変化に基づく水平レートの補正波形は、画像中心で中心電圧 V_c となっているが、これに限定されず、図 6 (a) に点線ま

たは一点鎖線で示すように、周波数変化に基づく水平レートの補正波形を画像中心で中心電圧 V_c とならないように作成することも可能である。以後、図 6 (a) に実線で示したように、周波数変化に基づく水平レートの補正波形が画像中心で中心電圧 V_c となる場合を説明する。

図 7 は直流成分補正パルスの一例を説明するための波形図である。図 7 には、周波数変化に基づく水平レートの補正波形が示される。

図 7 に示すように、水平レートの補正波形の直流成分を図 1 の読み出し側 P L L 回路 3 の VCO 3 3 の中心電圧 V_c に一致させるために、水平プランギング期間に直流成分補正パルス A P を挿入する。直流成分補正パルス A P の極性およびレベルは 1 H 内の水平レートの補正波形の積算結果に基づいてリアルタイムに算出する。この直流成分補正パルス A P は、読み出し側 P L L 回路 3 の位相比較器 3 1 による位相比較点 P C の前でかつ水平プランギング期間内の任意の位置に挿入する。

この場合、中心電圧 V_c に対する水平レートの補正波形の上下の波形により直流成分補正パルス A P により補正すべき補正量が変化する。直流成分補正パルス A P による補正量は次式により決定される。

$$\text{補正量} = \Sigma (\text{補正電圧} - V_c) = \text{パルス幅} \times \text{パルスレベル}$$

ここで、 $\Sigma (\text{補正電圧} - V_c)$ は $(\text{補正電圧} - V_c)$ を時間軸上で積算することを意味する。直流成分補正パルス A P のパルスレベルが VCO 3 3 に許容される制御電圧等により制限される場合、パルス幅により補正量を確保する必要がある。そのため、直流成分補正パルス A P のパルス幅は任意に設定可能とする。直流成分補正パルス A P のパルス幅が広くなる程補正量における誤差が大きくなるため、できる限りパルス幅を狭く設定することが好ましい。

なお、図 7 は周波数変化に基づく水平レートの補正波形に直流成分補正パルス A P を挿入する場合について説明しているが、後述する周期変化に基づく水平レートの補正波形においても、読み出し側 P L L 回路 3 の位相比較器 3 1 による位相比較点の前でかつ水平プランギング期間内の任意の位置に同様の直流成分補正パルスを挿入する。ここで、周期変化に基づく水平レートの補正波形は読み出しクロック R C K の周期に対応して変化する波形を有する。

図8（a）は周波数変化に基づく水平レートの補正波形の一例を示す波形図、図8（b）は垂直レートの補正波形の一例を示す波形図、図8（c）は周波数変化に基づくインナーピンクッション歪補正波形の一例を示す波形図である。図8は画面上の縦線の中央部を基準として上下部の画素を移動させることによりインナーピンクッション歪を補正する場合を示している。ただし、図8には、図7に示した直流成分補正パルスAPは図示していない。図8（b）において、1Vは1垂直走査期間を表す。

図8（a）に示すように、周波数変化に基づく水平レートの補正波形は1Hで変化し、図8（b）に示すように、垂直レートの補正波形は1Vで変化する。図8（a）の水平レートの補正波形を図8（b）の垂直レートの補正波形で変調することにより図8（c）周波数変化に基づくインナーピンクッション歪補正波形が得られる。

図8（c）はインナーピンクッション歪補正波形を概略的に示しており、正確には図8（a）の水平レートの補正波形を図8（b）の垂直レートの補正波形で振幅変調したものとなる。

なお、垂直プランキング期間においては、図8（b）の垂直レートの補正波形を一定値にしてもよい。また、図8（a）の水平レートの補正波形を画面の中心付近で一定値にしてもよい。

画面上の縦線の上下端を基準として中央部を移動させることによりインナーピンクッション歪を補正する場合には、周波数変化に基づく水平レートの補正波形は、図9（a）に示すように、中心電圧Vcに対して図8（a）の場合と上下が逆の波形になる。また、垂直レートの補正波形は、図9（b）に示すように、中心部で最大となり、両端に近づくにつれて小さくなる波形となる。さらに、周波数変化に基づくインナーピンクッション歪補正波形は、図9（c）に示すように、中央部が膨らみ、両端に近づくにつれて収束する波形となる。

図9（c）はインナーピンクッション歪補正波形を概略的に示しており、正確には図9（a）の垂直レートの補正波形を図9（b）の垂直レートの補正波形で振幅変調したものとなる。

なお、垂直プランキング期間においては、図9（b）の垂直レートの補正波形

を一定値にしてもよい。また、図9（a）の水平レートの補正波形を画面の中心付近で一定値にしてもよい。

図10（a）は周期変化に基づく水平レートの補正波形の一例を示す波形図、図10（b）は垂直レートの補正波形の一例を示す波形図、図10（c）は周期変化に基づくインナーピンクッション歪補正波形の一例を示す波形図である。図10は画面上の縦線の中央部を基準として上下部の画素を移動させることによりインナーピンクッション歪を補正する場合を示している。ただし、図10には、図7に示した直流成分補正パルスAPは図示していない。

図10（a）に示すように、水平レートの補正波形は1Hで変化し、図10（b）に示すように、垂直レートの補正波形は1Vで変化する。図10（a）は水平レートの補正波形を図10（b）の垂直レートの補正波形で変調することにより図10（c）の周期変化に基づくインナーピンクッション歪補正波形が得られる。

図10（c）はインナーピンクッション歪補正波形を概略的に示しており、正確には図10（a）の水平レートの補正波形を図10（b）の垂直レートの補正波形で振幅変調したものとなる。

なお、垂直ブランкиング期間においては、図10（b）の垂直レートの補正波形を一定値にしてもよい。また、図10（a）の水平レートの補正波形を画面の中心付近で一定値にしてもよい。

画面上の縦線の上下端を基準として中央部を移動させることによりインナーピンクッション歪を補正する場合には、周期変化に基づく水平レートの補正波形は、図11（a）に示すように、中心電圧VCに対して図10（a）の場合と上下が逆の波形になる。また、垂直レートの補正波形は、図11（b）に示すように、中心部で最大となり、両端に近づくにつれて小さくなる波形となる。さらに、周期変化に基づくインナーピンクッション歪補正波形は、図11（c）に示すように、中央部が膨らみ、両端に近づくにつれて収束する波形となる。

図11（c）はインナーピンクッション歪補正波形を概略的に示しており、正確には図11（a）の水平レートの補正波形を図11（b）の垂直レートの補正波形で振幅変調したものとなる。

なお、垂直プランギング期間においては、図11（b）の垂直レートの補正波形を一定値にしてもよい。また、図11（a）の水平レートの補正波形を画面の中心付近で一定値にしてもよい。

なお、図10（a）または図11（a）に示した周期変化に基づく水平レートの補正波形を用いる場合には、後述するように周期変化に基づくインナーピンクッション歪補正波形を周波数変化に基づくインナーピンクッション歪補正波形に変換する。

なお、上記の図8～図11の例では、画面上の縦線の中央部を基準として上下部を移動させることによりインナーピンクッション歪を補正する場合および画面の上下端を基準として中央部を移動させることによりインナーピンクッション歪を補正する場合について説明しているが、画面上の縦線の任意の位置を基準として他の部分を移動させることによりインナーピンクッション歪を補正してもよい。その場合には、垂直レートの補正波形は、図21に示すように、画面上の基準とする部分に相当する時間において電圧が0となるように図8、図9、図10または図11の垂直レートの補正波形を垂直方向にシフトし、さらに電圧0となる部分を境界として上に折り返した形状となる。

図12は図1のインナーピンクッション歪補正電圧発生回路4の構成の第1の例を示すブロック図である。

図12のインナーピンクッション歪補正電圧発生回路4は、水平レート補正波形発生回路41、垂直レート補正波形発生回路42、乗算器43および直流成分補正パルス重畠回路44を含む。

水平レート補正波形発生回路41は、基準信号CKSを基準としてデータ処理を開始し、書き込みクロックWCKに同期して、図8（a）に示した周波数変化に基づく水平レートの補正波形VHDを発生する。ここで、書き込みクロックWCKのパルスがデータ処理の最小単位となる。この場合、水平レートの補正波形VHDは、読み出し側PLL回路3のVCO33により発生される読み出しクロックCLKの周波数の変化に対応している。垂直レート補正波形発生回路42は、垂直基準信号VDを基準としてデータ処理を開始し、基準信号CKSおよび書き込みクロックWCKに同期して、図8（b）に示した垂直レートの補正波形V

VDを発生する。

乗算器43は、水平レート補正波形発生回路41により発生された水平レートの補正波形VHDと垂直レート補正波形発生回路42により発生された垂直レートの補正波形VVHDとを乗算し、図8(c)に示した周波数変化に基づくインナーピンクション歪補正波形VADを出力する。直流成分補正パルス重畠回路44は、乗算器43から出力されたインナーピンクション歪補正波形VADに直流成分補正パルスを重畠し、インナーピンクション歪補正電圧VAを出力する。この場合、画面上の縦線の中央部を基準として上下部の画素を移動させることによりインナーピンクション歪が補正される。

なお、水平レート補正波形発生回路41が図9(a)に示した周波数変化に基づく水平レートの補正波形を発生し、垂直レート補正波形発生回路42が図(b)に示した垂直レートの補正波形を発生し、乗算器43が図9(c)に示した周波数変化に基づくインナーピンクション歪補正波形を発生してもよい。

この場合には、画面上の縦線の上下端を基準として中央部の画素を移動させることによりインナーピンクション歪が補正される。

本例では、水平レート補正波形発生回路41が第1の補正波形発生回路に相当し、垂直レート補正波形発生回路42が第2の補正波形発生回路に相当し、乗算器43が変調回路または乗算回路に相当し、直流成分補正パルス重畠回路44が補正パルス付加回路に相当する。

なお、図12の例では、デジタル信号での処理について述べているが、回路ロックの一部または全部をアナログ信号での処理で行うことも可能である。アナログ信号での処理の場合、書き込みクロックWCKは不要であり、水平レート補正波形発生回路41には基準信号CKSのみが入力され、垂直レート補正波形発生回路42には垂直基準信号VDのみが入力される。

図13は図1のインナーピンクション歪補正電圧発生回路4の構成の第2の例を示すブロック図である。

図13のインナーピンクション歪補正電圧発生回路4は、水平レート補正波形発生回路41、垂直レート補正波形発生回路42、可変利得型増幅器46および直流成分補正パルス重畠回路44を含む。

水平レート補正波形発生回路41は、基準信号CKSを基準としてデータ処理を開始し、書き込みクロックWCKに同期して、図8(a)に示した周波数変化に基づく水平レートの補正波形VHDを発生し、増幅器46の入力端子に与える。ここで、書き込みクロックWCKのパルスがデータ処理の最小単位となる。この場合、水平レートの補正波形VHDは、読み出し側PLL回路3のVCO33により発生される読み出しクロックRCKの周波数の変化に対応している。垂直レート補正波形発生回路42は、垂直基準信号VDを基準としてデータ処理を開始し、基準信号CKSおよび書き込みクロックWCKに同期して、図8(b)に示した垂直レートの補正波形VVHを発生し、増幅器46の利得制御端子に与える。それにより、増幅器46は、図8(c)に示した周波数変化に基づくインナーピンクション歪補正波形VADを出力する。

直流成分補正パルス重畠回路44は、乗算器43から出力されたインナーピンクション歪補正波形VADに直流成分補正パルスを重畠し、インナーピンクション歪補正電圧VAを出力する。この場合、画面上の縦線の中央部を基準として上下部の画素を移動させることによりインナーピンクション歪が補正される。

なお、水平レート補正波形発生回路41が図9(a)に示した周波数変化に基づく水平レートの補正波形を発生し、垂直レート補正波形発生回路42が図9(b)に示した垂直レートの補正波形を発生し、増幅器46が図9(c)に示した周波数変化に基づくインナーピンクション歪補正波形を発生してもよい。

この場合、画面上の縦線の上下端を基準として中央部の画素を移動させることによりインナーピンクション歪が補正される。

本例では、水平レート補正波形発生回路41が第1の補正波形発生回路に相当し、垂直レート補正波形発生回路42が第2の補正波形発生回路に相当し、増幅器46が変調回路または增幅回路に相当し、直流成分補正パルス重畠回路44が補正パルス付加回路に相当する。

なお、図13の例では、デジタル信号での処理について述べているが、回路ブロックの一部または全部をアナログ信号での処理で行うことも可能である。アナログ信号での処理の場合、書き込みクロックWCKは不要であり、水平レート補

正波形発生回路41には基準信号CKSのみが入力され、垂直レート補正波形発生回路42には垂直基準信号VDのみが入力される。

図14は図1のインナーピンクッション歪補正電圧発生回路4の構成の第3の例を示すブロック図である。

図14のインナーピンクッション歪補正電圧発生回路4は、水平レート補正波形発生回路47、垂直レート補正波形発生回路48、乗算器49、周期一周波数変換回路50および直流成分補正パルス重畠回路51を含む。

水平レート補正波形発生回路47は、基準信号CKSを基準としてデータ処理を開始し、書き込みクロックWCKに同期して、図10(a)に示した周期変化に基づく水平レートの補正波形VHTを発生する。ここで、書き込みクロックWCKのパルスがデータ処理の最小単位となる。水平レートの補正波形VHTは、読み出し側PLL回路3のVCO33により発生される読み出しクロックRCKの周期の変化に対応している。垂直レート補正波形発生回路48は、垂直基準信号VDを基準としてデータ処理を開始し、基準信号CKSおよび書き込みクロックWCKに同期して、図10(b)に示した垂直レートの補正波形VVVDを発生する。

乗算器49は、水平レート補正波形発生回路47により発生された水平レートの補正波形VHTと垂直レート補正波形発生回路48により発生された垂直レートの補正波形VVVDとを乗算することにより、図10(c)に示した周期変化に基づくインナーピンクッション歪補正波形VATを出力する。

周期一周波数変換回路50は、周期変化に基づくインナーピンクッション歪補正波形VATを周波数変化に基づくインナーピンクッション歪補正波形VAFに変換する。直流成分補正パルス重畠回路51は、周期一周波数変換回路50により得られた周波数変化に基づくインナーピンクッション歪補正波形VAFに直流成分補正パルスを重畠し、インナーピンクッション歪補正電圧VAを出力する。この場合、画面上の縦線の中央部を基準として上下部の画素を移動させることによりインナーピンクッション歪が補正される。

なお、水平レート補正波形発生回路47が図11(a)に示した周期変化に基づく水平レートの補正波形を発生し、垂直レート補正波形発生回路48が図11

(b) に示した垂直レートの補正波形を発生し、乗算器 49 が図 11 (c) に示した周期変化に基づくインナーピンクッション歪補正波形を発生してもよい。

この場合、画面上の縦線の上下端を基準として中央部の画素を移動させることによりインナーピンクッション歪が補正される。

本例では、水平レート補正波形発生回路 47 が第 1 の補正波形発生回路に相当し、垂直レート補正波形発生回路 48 が第 2 の補正波形発生回路に相当し、乗算器 49 が変調回路および乗算回路に相当し、直流成分補正パルス重畠回路 51 が補正パルス付加回路に相当する。

なお、図 14 では、デジタル信号での処理について述べているが、回路ブロックの一部または全部をアナログ信号での処理で行うことも可能である。アナログ信号での処理の場合、書き込みクロック WCK は不要であり、水平レート補正波形発生回路 47 には基準信号 CKS のみが入力され、垂直レート補正波形発生回路 48 には垂直基準信号 VD のみが入力される。また、図 14 の例において、乗算器 49 の代わりに、図 13 の例のように、増幅器を用いてもよい。

図 14 のインナーピンクッション歪補正電圧発生回路 4 において、水平レート補正波形発生回路 47 により発生される周期変化に基づく水平レートの補正波形 VHT は、読み出し側 PLL 回路 3 の VCO33 により発生される読み出しクロック RCK の周期の変化に対応しており、周期は画素の移動量に比例する。そのため、水平レートの補正波形 VHT を垂直レートの補正波形 VVD で変調することにより各水平走査線におけるインナーピンクッション歪補正電圧 VA を得た場合には、すべての水平走査線においてインナーピンクッション歪量とインナーピンクッション歪補正電圧 VA による補正量とが等しくなり、インナーピンクッション歪を画面の全体にわたって正確に補正することができる。

これに対して、図 12 および図 13 の水平レート補正波形発生回路 41 により発生される周波数変化に基づく水平レートの補正波形 VHD は、読み出し側 PLL 回路 3 の VCO33 により発生される読み出しクロック RCK の周波数に対応し、周波数は画素の移動量に反比例する。そのため、水平レートの補正波形 VHD を垂直レートの補正波形 VVD で変調することにより各水平走査線におけるインナーピンクッション歪補正電圧 VA を得た場合には、水平走査線によってはイ

ンナーピンクッション歪量とインナーピンクッション歪補正電圧VAによる補正量との間に僅かに誤差が発生する。

したがって、図14のインナーピンクッション歪補正電圧発生回路4を用いた場合、より高画質化が可能となる。一方、図12および図13のインナーピンクッション歪補正電圧発生回路4を用いた場合には、回路規模の低減化および低コスト化を図ることができる。

上記の水平レート補正波形発生回路41，47および垂直レート補正波形発生回路42，48は、メモリおよびD/A変換器により構成することができ、あるいは波形発生関数を用いた波形発生回路およびD/A変換器により構成することもできる。波形発生回路は、論理回路等を用いたハードウェアまたはマイクロコンピュータ等を用いたソフトウェアにより実現することができる。また、これらの構成を組み合わせることにより水平レート補正波形発生回路41，47または垂直レート補正波形発生回路42，48を実現することもできる。

インナーピンクッション歪補正電圧発生回路4をデジタル処理により実現する場合、水平レート補正波形発生回路41，47および垂直レート補正波形発生回路42，48は、メモリにより構成することができ、あるいは波形発生関数を用いた波形発生回路により構成することもできる。この場合にも、波形発生回路は、論理回路等を用いたハードウェアまたはマイクロコンピュータ等を用いたソフトウェアにより実現することができる。また、これらの構成を組み合わせることにより水平レート補正波形発生回路41，47または垂直レート補正波形発生回路42，48を実現することもできる。

図15は画面の上下部の変曲点の一例を示す図であり、(a)はCRTの画面上でインナーピンクッション歪を有する縦線を示し、(b)は(a)のインナーピンクッション歪を補正するための垂直レートの補正波形を示す。

図15(a)に示すように、インナーピンクッション歪を有する縦線は、上下部に変曲点c1，c2を有し、変曲点c1，c2を境にして歪の変化量が異なる。この変曲点c1，c2は、左右糸巻き歪補正等の歪補正により画面の両端の縦線を直線にすることにより生じる。

インナーピンクッション歪補正は、水平レートの補正波形を垂直レートの補正

波形で振幅変調することにより行うため、図15（b）に示すように、上記の変曲点c1, c2に対応して垂直レートの補正波形の傾きを最初の部分v1と最後の部分v2とで緩くする必要がある。図15の場合には、傾きを緩くする場合を示しているが、変曲点によっては、傾きを強くする場合もあるため、傾きは可変とする。

垂直レートの補正波形の傾きを可変にするためには、垂直レート補正波形発生回路42, 48を次のように構成する。

上記の垂直レート補正波形発生回路42, 48は、メモリにより構成することができる。この場合、メモリに記憶された垂直レートの補正波形のデータのうち傾きを変化させる部分のデータを書き換える。

また、上記の垂直レート補正波形発生回路42, 48を波形発生関数を用いた波形発生回路により構成することもできる。波形発生回路をハードウェアにより実現する場合には、可変できるように設計された関数パラメータを切り換える。波形発生回路をソフトウェアにより実現する場合には、ソフトウェアにより波形発生関数のパラメータを切り換える。ソフトウェアにより波形発生関数自体を切り換えるてもよい。

図16は垂直レート補正波形発生回路の構成の一例を示すブロック図である。図16の垂直レート補正波形発生回路は、三角波発生部71、LOG変換テーブル72、乗算器73および逆LOG変換テーブル74により構成される。

三角波発生部71により発生される直線をYとし、直線YをLOG変換テーブル72に与えると、LOG変換テーブル72の出力はLOG(Y)となる。

乗算器73によりLOG変換テーブル72の出力LOG(Y)にbを乗算すると、乗算器73の出力はbLOG(Y)となる。ここで、bは係数である。

乗算器73の出力bLOG(Y)を逆LOG変換テーブル74に与えると、逆LOG変換テーブル74の出力は次式のようになる。「^」はべき乗を表す。

$$10^{\wedge}(b \log(Y)) = 10^{\wedge}[\log(Y^{\wedge} b)] = Y^{\wedge} b$$

よって、直線Yをb乗したパラボラ波形 $Y^{\wedge} b$ を作成できる。このパラボラ波形が垂直レートの補正波形となる。

図17（a）は図16の三角波発生部71により発生される波形の一例を示す

図であり、図17（b）は図16の逆LOG変換テーブル74により出力される波形の一例を示す図である。

図17（a）に示すように、直線Yの傾きa1, a2, a3, a4およびその期間を可変にすることにより、図17（b）に示すパラボラ波形Y~bの形状を変更することができる。また、bを可変にすることにより、パラボラ波形Y~bの次数を変更することができる。特に、傾きa1, a4を可変にすることにより、図15（b）の垂直レートの補正波形を得ることができる。

なお、図17の例では、垂直レートの補正波形を4分割しているが、これに限らず、他の任意の数に分割することができる。

図18は図1の読み出し側PLL回路3および容量結合方式回路5の構成の一例を示す回路図である。

図18に示すように、読み出し側PLL回路3のループフィルタ32は、抵抗321, 322およびコンデンサ323, 324, 325により構成される。図18では、ループフィルタをLag-leadフィルタとしているが、Lagフィルタやアクティブフィルタ等の他のフィルタとしてもよい。ループフィルタ32は、位相比較器31の出力電圧を平滑化し、平滑化された電圧をノードN1を介してVCO33に与える。

容量結合方式回路5は、エミッタフォロアトランジスタ61、抵抗62およびコンデンサ63により構成される。トランジスタ61のベースには図1のインナーピンクッション歪補正電圧発生回路4により発生されるインナーピンクッション歪補正電圧VAが与えられ、コレクタには電源電圧Vccが与えられ、エミッタは抵抗62を介して接地されるとともにコンデンサ63を介してループフィルタ32のノードN1に接続される。

インナーピンクッション歪補正電圧VAに応答してトランジスタ61のエミッタ電圧が変化し、コンデンサ63を介してノードN1に与えられる。それにより、インナーピンクッション歪補正電圧VAが位相比較器31の出力電圧に重畠される。

図18の容量結合方式回路5は、少ない数の部品で構成されるので、低コスト化が図られる。

図19は本発明の第2の実施の形態における画像歪補正回路の構成を示すプロック図である。

図19の画像歪補正装置が図1の画像歪補正装置と異なるのは、図1の容量結合方式回路5の代わりに加算結合方式回路6が設けられている点である。ループフィルタ32の出力電圧は加算結合方式回路6に与えられ、加算結合方式回路6の出力電圧が制御電圧VCとしてVCO33に与えられる。本実施の形態では、加算結合方式回路6が歪補正波形重畠回路に相当する。

図20は図19の読み出し側PLL回路3および加算結合方式回路6の構成の一例を示す回路図である。

図20において、加算結合方式回路6は、反転加算器64、反転増幅器65および非反転増幅器(ボルテージフォロア)66を含む。読み出し側PLL回路3のループフィルタ32の構成は、図19に示した構成と同様である。また、Lagフィルタやアクティブフィルタ等の他のフィルタとしてもよい。

反転加算器64の一方の入力端子には、図20のインナーピンクッション歪補正電圧発生回路4により発生されたインナーピンクッション歪補正電圧VAが与えられる。ループフィルタ32のノードN1の出力電圧は非反転増幅器66を介して反転加算器64の他方の入力端子に与えられる。反転加算器64の出力端子の出力電圧は反転増幅器65を介してVCO33に制御電圧VCとして与えられる。

反転加算器64によりインナーピンクッション歪補正電圧VAおよびループフィルタ32の出力電圧が加算して反転され、反転増幅器65により反転され、VCO33に与えられる。

図20の加算結合方式回路6においては、反転加算器64の他方の入力端子とループフィルタ32の出力ノードN1との間に非反転増幅器66が接続されているので、インナーピンクッション歪補正電圧VAがループフィルタ32の影響により歪むことが防止される。

上記実施の形態では、本発明をインナーピンクッション歪を補正する場合に適用しているが、本発明は水平リニアリティ（直線性）補正を行う場合にも適用可能である。

請求の範囲

1. 映像信号に基づいて画面上に表示される画像の歪を補正する画像歪補正装置であって、

映像信号を記憶するための記憶装置と、

入力された映像信号を前記記憶装置に書き込むための書き込みクロックを発生する書き込みクロック発生回路と、

前記記憶装置に記憶された映像信号を読み出すための読み出しクロックを発生する読み出しクロック発生回路と、

映像信号に基づいて画面上に表示される画素の位置を移動させることにより画像の歪を補正するための歪補正波形を発生する歪補正波形発生回路と、

前記歪補正波形発生回路により発生された前記歪補正波形に基づいて、前記読み出しクロック発生回路により発生される読み出しクロックの周波数を制御する読み出しクロック制御回路とを備え、

前記歪補正波形発生回路は、水平走査方向における画像の両端および中心で画素の移動量が0になるように前記歪補正波形を設定する、画像歪補正装置。

2. 前記歪補正波形発生回路は、

水平走査周期で変化する第1の補正波形を発生する第1の補正波形発生回路と

垂直走査周期で変化する第2の補正波形を発生する第2の補正波形発生回路と

前記第1の補正波形発生回路により発生された前記第1の補正波形を前記第2の補正波形発生回路により発生された前記第2の補正波形で変調することにより前記歪補正波形を得る変調回路とを含む、請求項1記載の画像歪補正装置。

3. 前記第2の補正波形は、変曲点を有し、前記変曲点で区分された前記第2

の補正波形の複数の部分のうち少なくとも1つの部分の傾きが可変に設定される、請求項2記載の画像歪補正装置。

4. 前記変調回路は、前記第1の補正波形発生回路により発生された前記第1の補正波形と前記第2の補正波形発生回路により発生された前記第2の補正波形とを乗算する乗算回路を含む、請求項2記載の画像歪補正装置。

5. 前記変調回路は、前記第1の補正波形発生回路により発生された前記第1の補正波形を受ける入力端子および前記第2の補正波形発生回路により発生された前記第2の補正波形を受ける利得制御端子を備えた增幅回路を含む、請求項2記載の画像歪補正装置。

6. 前記第1の補正波形は、前記読み出しクロックの周波数の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、前記左端と前記中心との間で画素の移動量が0、正、0、負および0の順に変化し、前記中心と前記右端との間で画素の移動量が0、負、0、正および0の順に変化するように設定され、

前記第2の補正波形は、画面の垂直方向の上下端で中央部に比べて振幅が大きくなるように設定された、請求項2記載の画像歪補正装置。

7. 前記第1の補正波形は、前記読み出しクロックの周波数の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、前記左端と前記中心との間で画素の移動量が0、負、0、正および0の順に変化し、前記中心と前記右端との間で画素の移動量が0、正、0、負および0の順に変化するように設定され、

前記第2の補正波形は、画面の垂直方向の中央部で上下端に比べて振幅が大きくなるように設定された、請求項2記載の画像歪補正装置。

8. 前記読み出しクロック発生回路は、前記読み出しクロックを発生する電圧制御型発振器を有する位相同期ループを含み、

前記歪補正波形発生回路は、前記歪補正波形を歪補正電圧として出力し、

前記読み出しクロック制御回路は、前記歪補正波形発生回路により出力された前記歪補正電圧を前記位相同期ループの前記電圧制御型発振器の発振周波数制御電圧に重畠する、請求項1記載の画像歪補正装置。

9. 前記第1の補正波形は、前記読み出しクロックの周期の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、前記左端と前記中心との間で画素の移動量が0、正、0、負および0の順に変化し、前記中心と前記右端との間で画素の移動量が0、負、0、正および0の順に変化するように設定され、

前記第2の補正波形は、画面の垂直方向の上下端で中央部に比べて振幅が大きくなるように設定された、請求項2記載の画像歪補正装置。

10. 前記第1の補正波形は、前記読み出しクロックの周期の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、前記左端と前記中心との間で画素の移動量が0、負、0、正および0の順に変化し、前記中心と前記右端との間で画素の移動量が0、正、0、負および0の順に変化するように設定され

前記第2の補正波形は、画面の垂直方向の中央部で上下端に比べて振幅が大きくなるように設定された、請求項2記載の画像歪補正装置。

11. 前記読み出しクロック発生回路は、前記読み出しクロックを発生する電圧制御型発振器を有する位相同期ループを含み、

前記歪補正波形発生回路は、前記変調回路により得られた前記歪補正波形を前記読み出しクロックの周波数の変化に対応する歪補正電圧に変換する変換回路を

さらに含み、

読み出しクロック発生回路は、前記歪補正波形発生回路により出力された前記歪補正電圧を前記位同期ループの前記電圧制御型発振器の発振周波数制御電圧に重畠する、請求項 9 記載の画像歪補正装置。

12. 前記読み出しクロック発生回路は、前記読み出しクロックを発生する電圧制御型発振器を有する位同期ループを含み、

前記歪補正波形発生回路は、前記変調回路により得られた前記歪補正波形を前記読み出しクロックの周波数の変化に対応する歪補正電圧に変換する変換回路をさらに含み、

読み出しクロック発生回路は、前記歪補正波形発生回路により出力された前記歪補正電圧を前記位同期ループの前記電圧制御型発振器の発振周波数制御電圧に重畠する、請求項 10 記載の画像歪補正装置。

13. 映像信号の各水平走査期間における歪補正電圧の平均値が所定値となるように水平ブランкиング期間において前記歪補正電圧に補正パルスを付加する補正パルス付加回路をさらに備えた、請求項 8 記載の画像歪補正装置。

14. 映像信号の各水平走査期間における歪補正電圧の平均値が所定値となるように水平ブランкиング期間において前記変換回路により得られた前記歪補正電圧に補正パルスを付加する補正パルス付加回路をさらに備えた、請求項 11 記載の画像歪補正装置。

15. 映像信号の各水平走査期間における歪補正電圧の平均値が所定値となるように水平ブランкиング期間において前記変換回路により得られた前記歪補正電圧に補正パルスを付加する補正パルス付加回路をさらに備えた、請求項 12 記載の画像歪補正装置。

16. 前記補正パルス付加回路は、1 水平走査期間ごとに歪補正電圧の平均値

が所定値となるように水平プランキング期間において前記位相同期ループの位相比較時点よりも前に前記歪補正電圧に前記補正パルスを付加する、請求項 1 3 記載の画像歪補正装置。

1 7. 前記位相同期ループは、前記電圧制御型発振器から出力される読み出しクロックを分周する分周器と、前記分周器の出力信号の位相と所定の基準信号の位相を比較する位相比較器と、前記位相比較器の出力電圧を平滑化して出力ノードを介して前記電圧制御発振器に入力するループフィルタとをさらに有し、

前記読み出しクロック制御回路は、前記歪補正波形発生回路により出力された前記歪補正電圧を受けるベースを有するエミッタフォロア型トランジスタと、前記トランジスタのエミッタと前記位相同期ループの前記ループフィルタの前記出力ノードとの間に設けられた容量とを含む、請求項 8 記載の画像歪補正装置。

1 8. 前記位相同期ループは、前記電圧制御型発振器から出力される読み出しクロックを分周する分周器と、前記分周器の出力信号の位相と所定の基準信号の位相を比較する位相比較器と、前記位相比較器の出力電圧を平滑化するループフィルタとをさらに有し、

前記読み出しクロック制御回路は、前記歪補正波形発生回路により出力された前記歪補正電圧と前記位相同期ループの前記ループフィルタの出力電圧とを加算して前記電圧制御型発振器に与える加算回路を含む、請求項 8 記載の画像歪補正装置。

1 9. 映像信号に基づいて画面上に表示される画像の歪を補正する画像歪補正方法であって、

入力された映像信号を記憶装置に書き込むための書き込みクロックを発生するステップと、

前記記憶装置に記憶された映像信号を読み出すための読み出しクロックを発生するステップと、

映像信号に基づいて画面上に表示される画素の位置を移動させることにより画

像の歪を補正するための歪補正波形を発生するステップと、

前記発生された歪補正波形に基づいて前記読み出しクロックの周波数を制御するステップと、

水平走査方向における画像の両端および中心で画素の移動量が0になるように前記歪補正波形を設定するステップとを備える、画像歪補正方法。

20. 前記歪補正波形を発生するステップは、

水平走査周期で変化する第1の補正波形を発生するステップと、

垂直走査周期で変化する第2の補正波形を発生するステップと、

前記第1の補正波形を前記第2の補正波形で変調することにより前記歪補正波形を得るステップとを含むことを特徴とする請求項19記載の画像歪補正方法。

21. 前記第2の補正波形は、変曲点を有し、前記歪補正波形を発生するステップは、前記変曲点で区分された前記第2の補正波形の複数の部分のうち少なくとも1つの部分の傾きを可変に設定するステップをさらに含む、請求項20記載の画像歪補正方法。

22. 前記第1の補正波形は、前記読み出しクロックの周波数の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、前記左端と前記中心との間で画素の移動量が0、正、0、負および0の順に変化し、前記中心と前記右端との間で画素の移動量が0、負、0、正および0の順に変化するように設定され、

前記第2の補正波形は、画面の垂直方向の上下端で中央部に比べて振幅が大きくなるように設定された、請求項20記載の画像歪補正方法。

23. 前記第1の補正波形は、前記読み出しクロックの周波数の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、前記左端と前記中心と

の間で画素の移動量が0、負、0、正および0の順に変化し、前記中心と前記右端との間で画素の移動量が0、正、0、負および0の順に変化するように設定され、

前記第2の補正波形は、画面の垂直方向の中央部で上下端に比べて振幅が大きくなるように設定された、請求項20記載の画像歪補正方法。

24. 前記読み出しクロックを発生するステップは、電圧制御型発振器を有する位相同期ループにより前記読み出しクロックを発生するステップを含み、

前記歪補正波形を発生するステップは、前記歪補正波形を歪補正電圧として出力するステップを含み、

前記読み出しクロックの周波数を制御するステップは、前記出力された前記歪補正電圧を前記位相同期ループの前記電圧制御型発振器の発振周波数制御電圧に重畠するステップを含む、請求項19記載の画像歪補正方法。

25. 前記第1の補正波形は、前記読み出しクロックの周期の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、前記左端と前記中心との間で画素の移動量が0、正、0、負および0の順に変化し、前記中心と前記右端との間で画素の移動量が0、負、0、正および0の順に変化するように設定され、

前記第2の補正波形は、画面の垂直方向の上下端で中央部に比べて振幅が大きくなるように設定された、請求項20記載の画像歪補正方法。

26. 前記第1の補正波形は、前記読み出しクロックの周期の変化に対応し、走査が左から右へ行われる画面上で走査方向を画素の移動量の正とする場合、画面の左端、中心および右端で画素の移動量が0となり、前記左端と前記中心との間で画素の移動量が0、負、0、正および0の順に変化し、前記中心と前記右端との間で画素の移動量が0、正、0、負および0の順に変化するように設定され、

前記第2の補正波形は、画面の垂直方向の中央部で上下端に比べて振幅が大きくなるように設定された、請求項20記載の画像歪補正方法。

27. 前記読み出しクロックを発生するステップは、電圧制御型発振器を有する位相同期ループにより前記読み出しクロックを発生するステップを含み、

前記歪補正波形を発生するステップは、前記歪補正波形を前記読み出しクロックの周波数の変化に対応する歪補正電圧に変換して出力するステップを含み、

前記読み出しクロックの周波数を制御するステップは、前記出力された前記歪補正電圧を前記位相同期ループの前記電圧制御型発振器の発振周波数制御電圧に重畠するステップを含む、請求項25記載の画像歪補正方法。

28. 前記読み出しクロックを発生するステップは、電圧制御型発振器を有する位相同期ループにより前記読み出しクロックを発生するステップを含み、

前記歪補正波形を発生するステップは、前記歪補正波形を前記読み出しクロックの周波数の変化に対応する歪補正電圧に変換して出力するステップを含み、

前記読み出しクロックの周波数を制御するステップは、前記出力された前記歪補正電圧を前記位相同期ループの前記電圧制御型発振器の発振周波数制御電圧に重畠するステップを含む、請求項26記載の画像歪補正方法。

29. 映像信号の各水平走査期間における歪補正電圧の平均値が所定値となるように水平ブランкиング期間において前記歪補正電圧に補正パルスを付加するステップをさらに備えた、請求項24記載の画像歪補正方法。

30. 前記補正パルスを付加するステップは、1水平走査期間ごとに歪補正電圧の平均値が所定値となるように水平ブランкиング期間において前記位相同期ループの位相比較時点よりも前に前記歪補正電圧に前記補正パルスを付加するステップを含む、請求項29記載の画像歪補正方法。

31. 映像信号に基づいて画面上に表示される画像の歪を補正する画像歪補正

装置であって、

映像信号を記憶するための記憶手段と、

入力された映像信号を前記記憶手段に書き込むための書き込みクロックを発生する書き込みクロック発生手段と、

前記記憶手段に記憶された映像信号を読み出すための読み出しクロックを発生する読み出しクロック発生手段と、

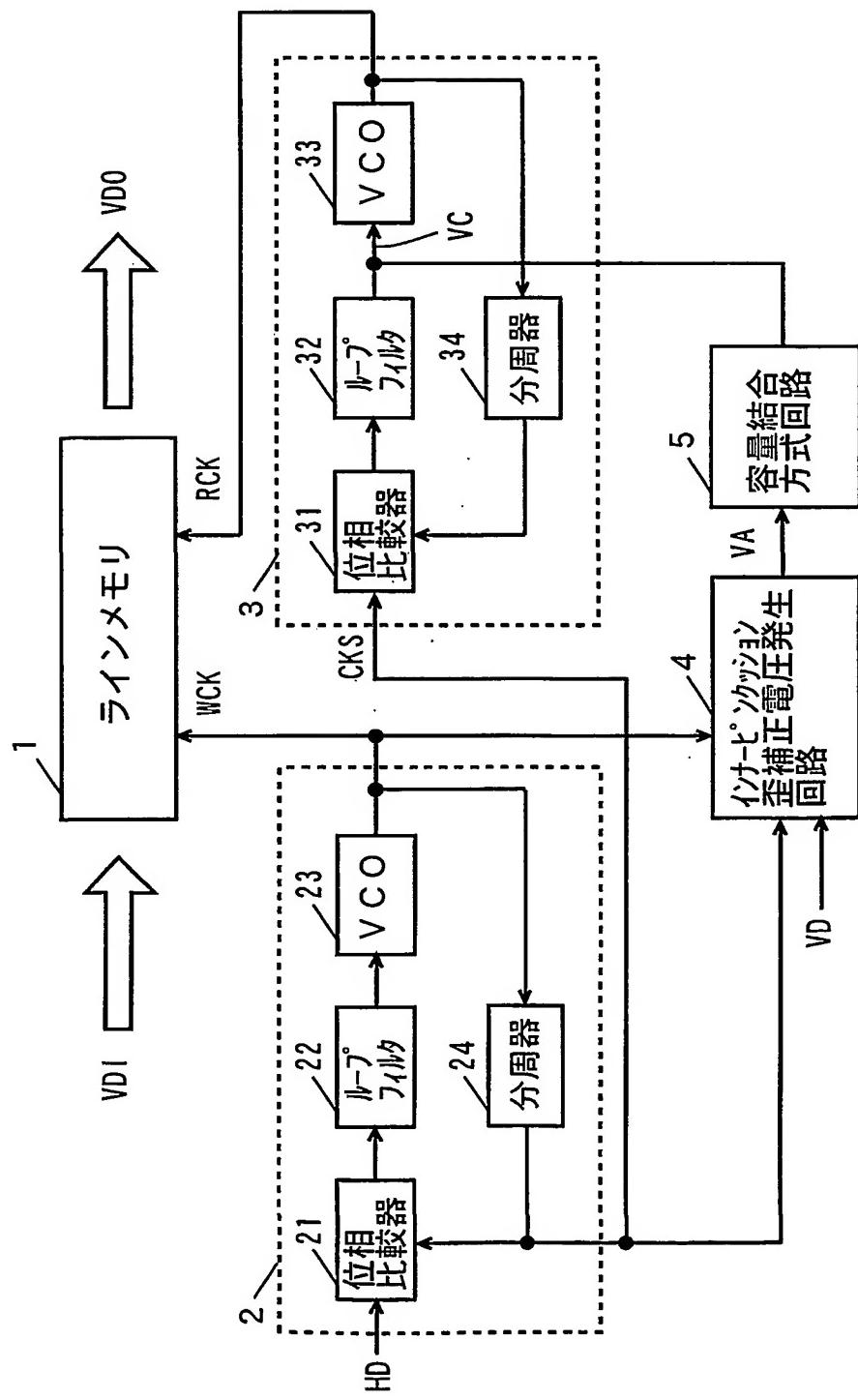
映像信号に基づいて画面上に表示される画素の位置を移動させることにより画像の歪を補正するための歪補正波形を発生する歪補正波形発生手段と、

前記歪補正波形発生手段により発生された前記歪補正波形に基づいて、前記読み出しクロック発生手段により発生される読み出しクロックの周波数を制御する読み出しクロック制御手段とを備え、

前記歪補正波形発生手段は、水平走査方向における画像の両端および中心で画素の移動量が 0 になるように前記歪補正波形を設定する、画像歪補正装置。

THIS PAGE BLANK (USPTO)

FIG. 1



THIS PAGE BLANK (USPTO)

FIG. 2

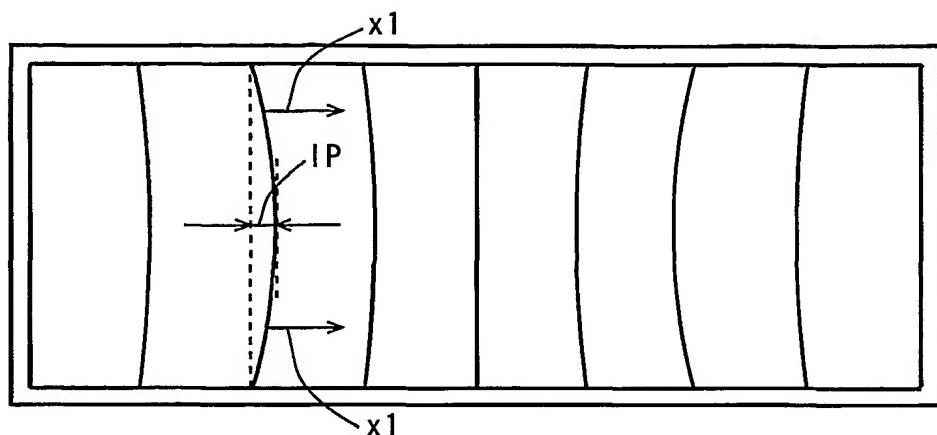


FIG. 3

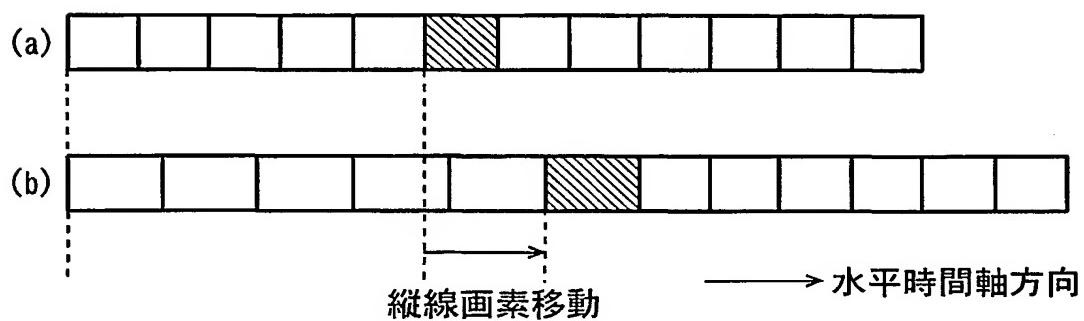
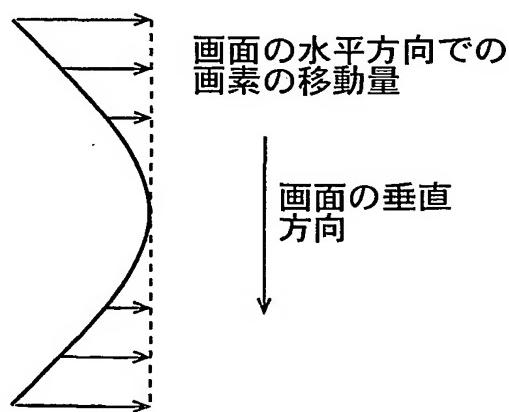


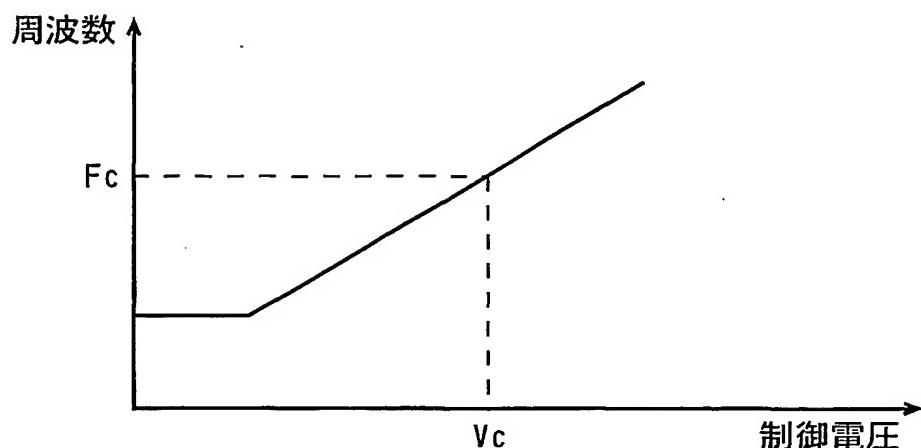
FIG. 4



THIS PAGE BLANK (USF)

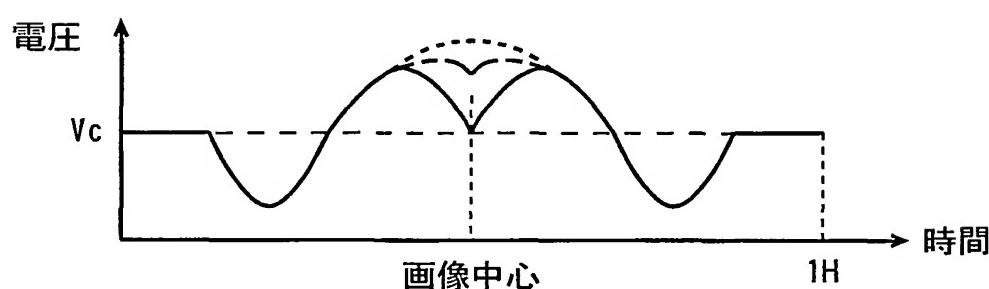
F I G. 5

(VC0の周波数-電圧特性)

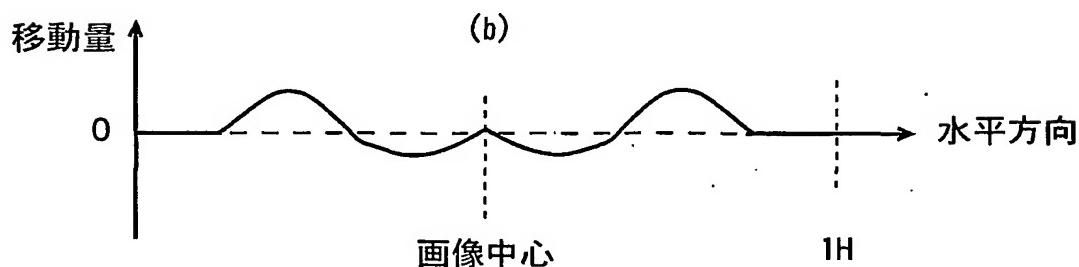


F I G. 6

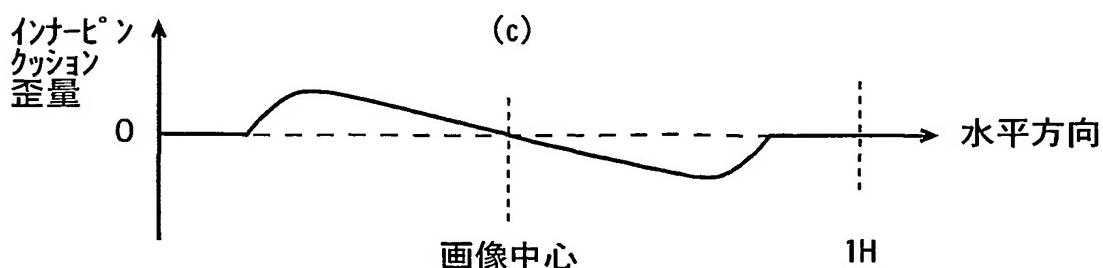
(a)



(b)

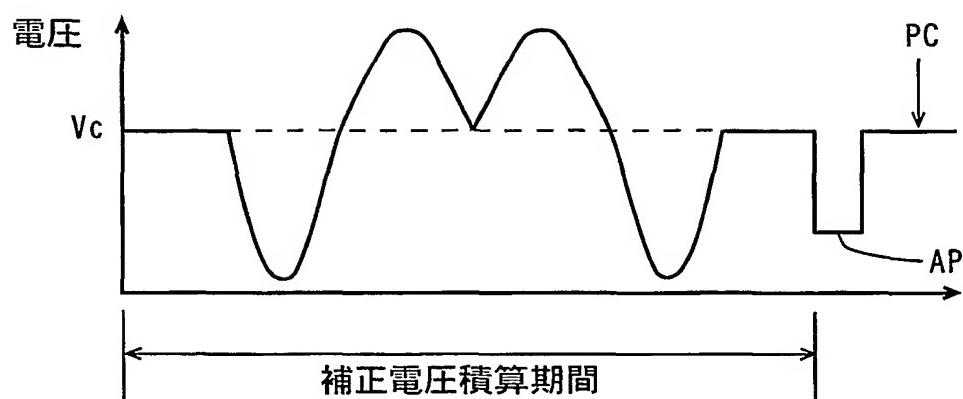


(c)



THIS PAGE BLANK (USPS)

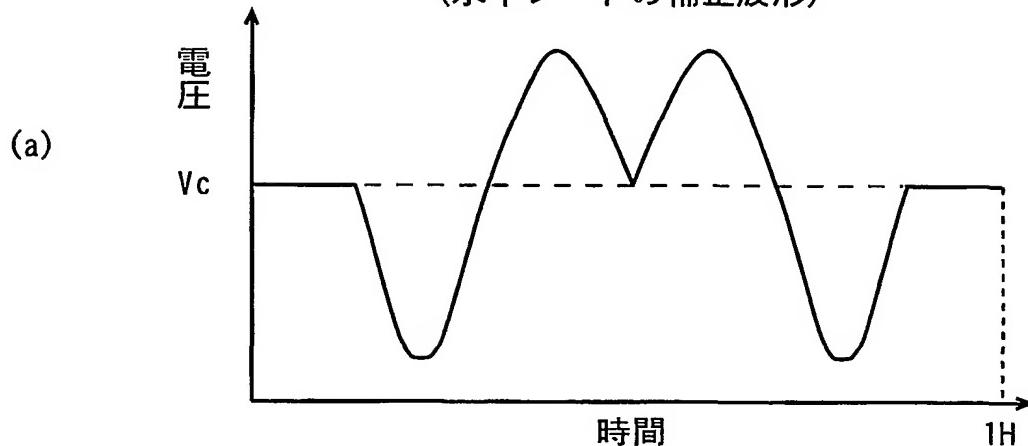
FIG. 7



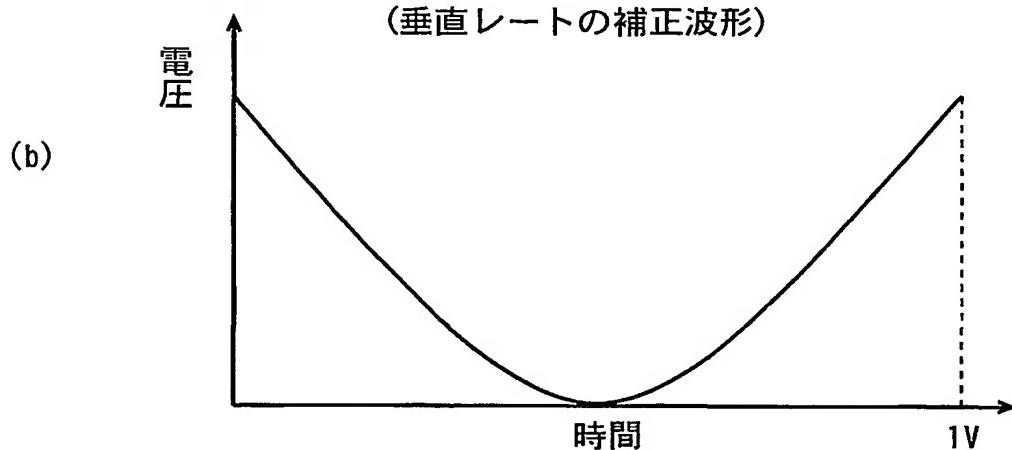
THIS PAGE BLANK (USP)

F I G. 8

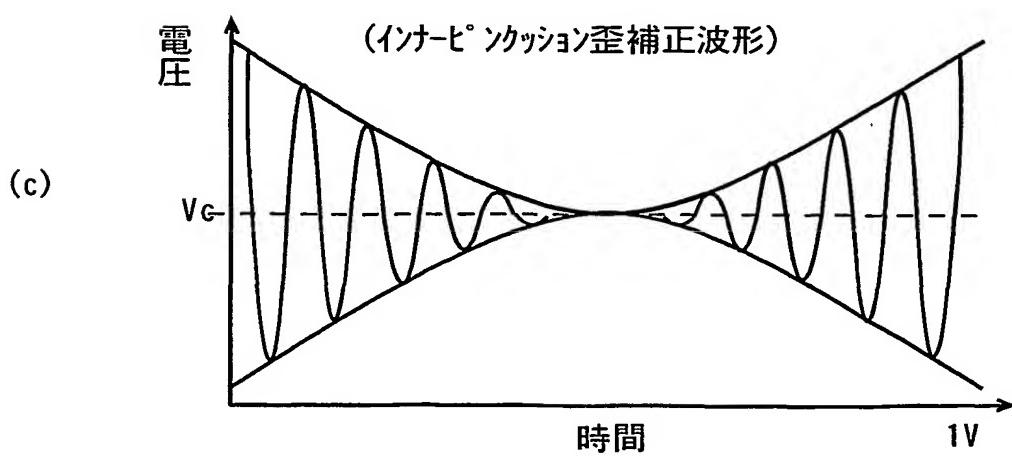
(水平レートの補正波形)



(垂直レートの補正波形)

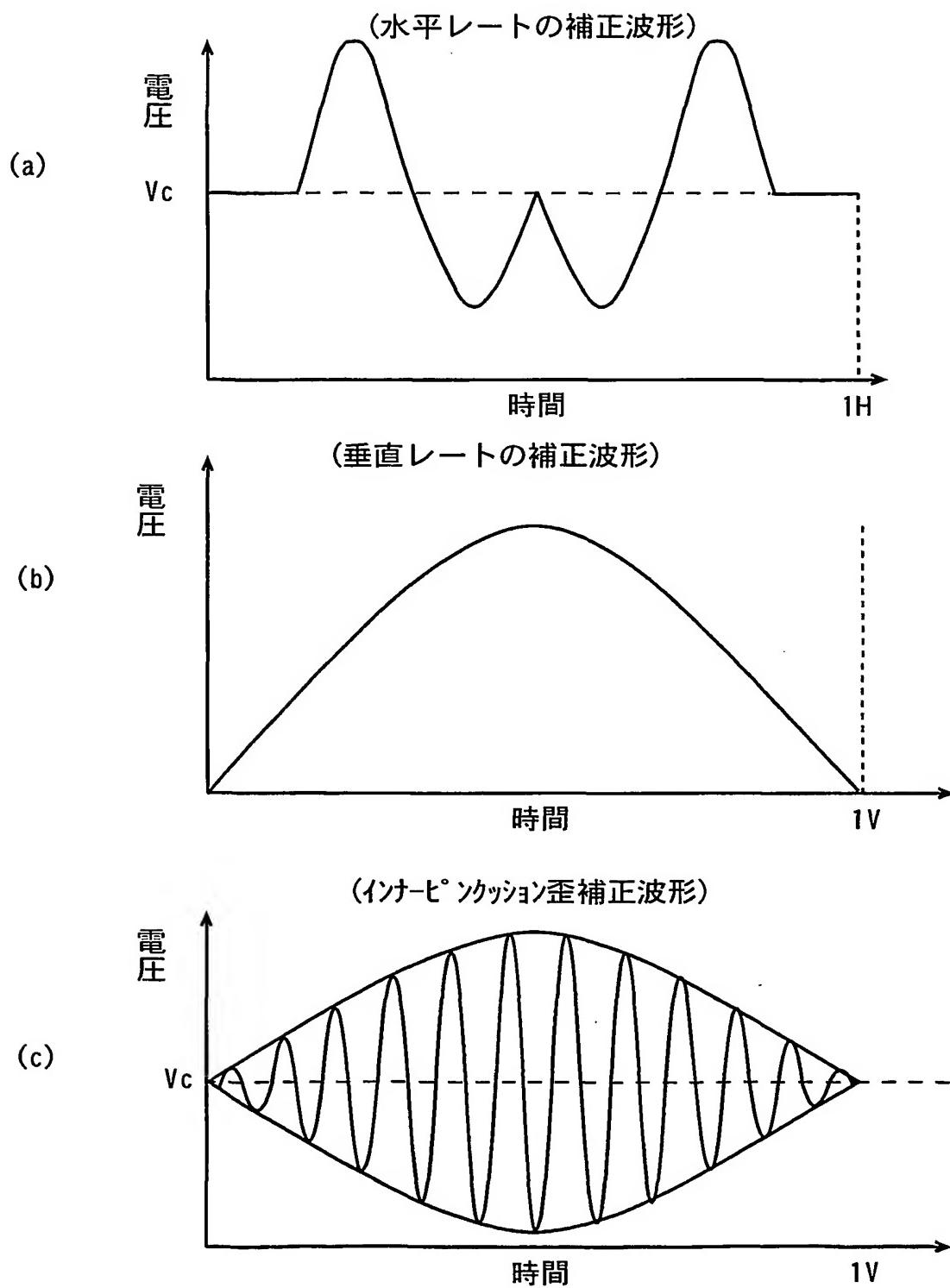


(インバーピンクション歪補正波形)



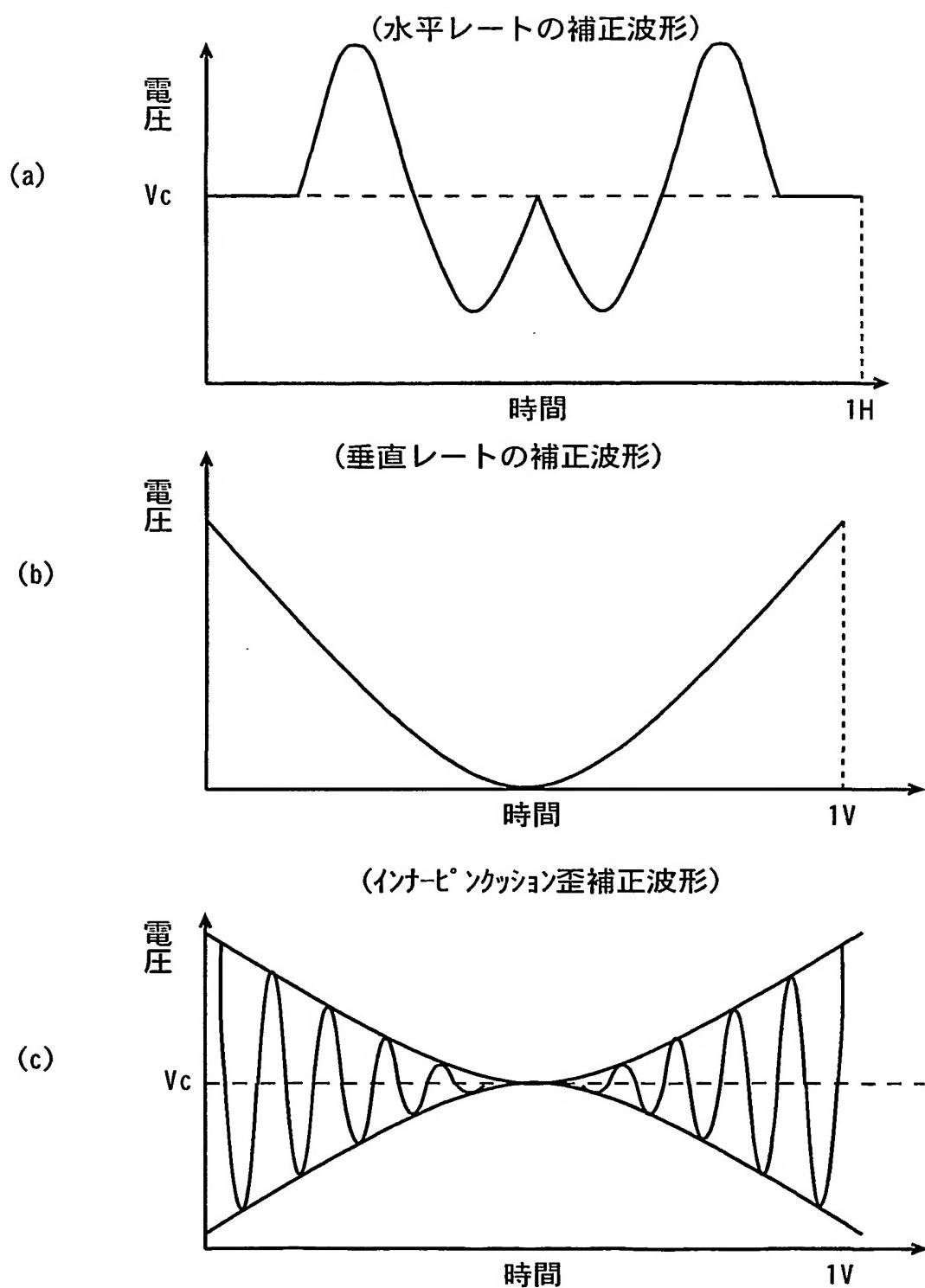
THIS PAGE BLANK (USPTO)

FIG. 9



THIS PAGE BLANK (USF)

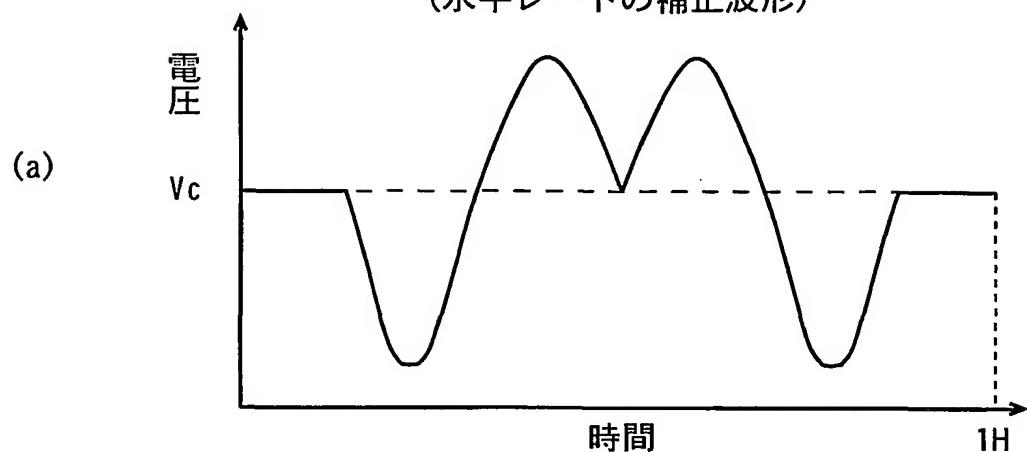
FIG. 10



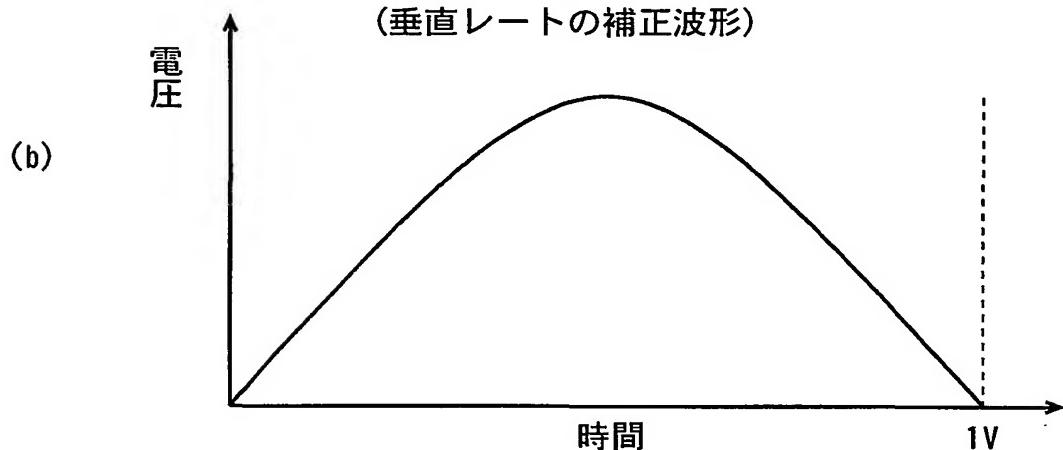
THIS PAGE BLANK (USF)

FIG. 11

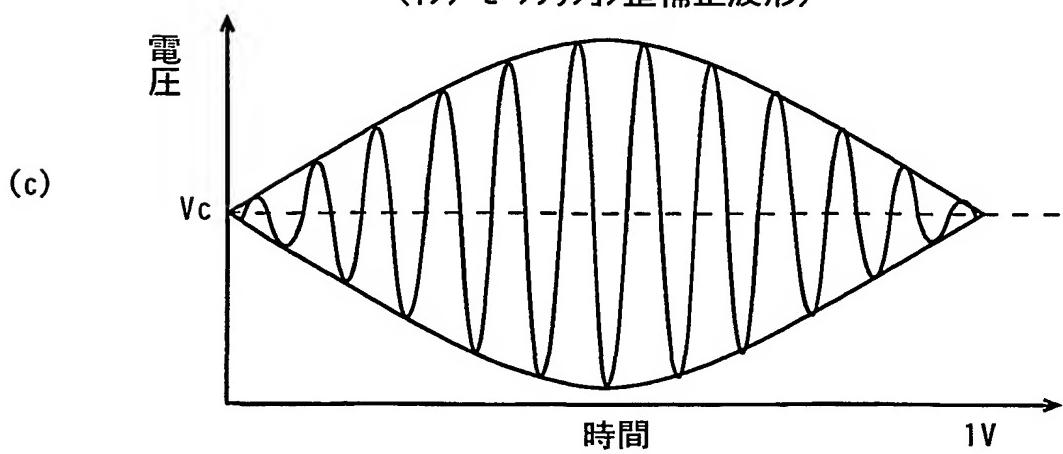
(水平レートの補正波形)



(垂直レートの補正波形)

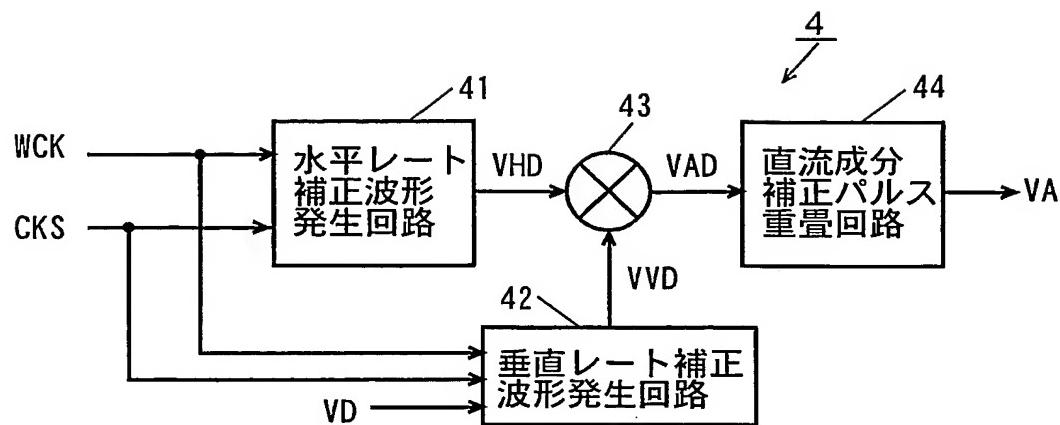


(インナーピンクション歪補正波形)

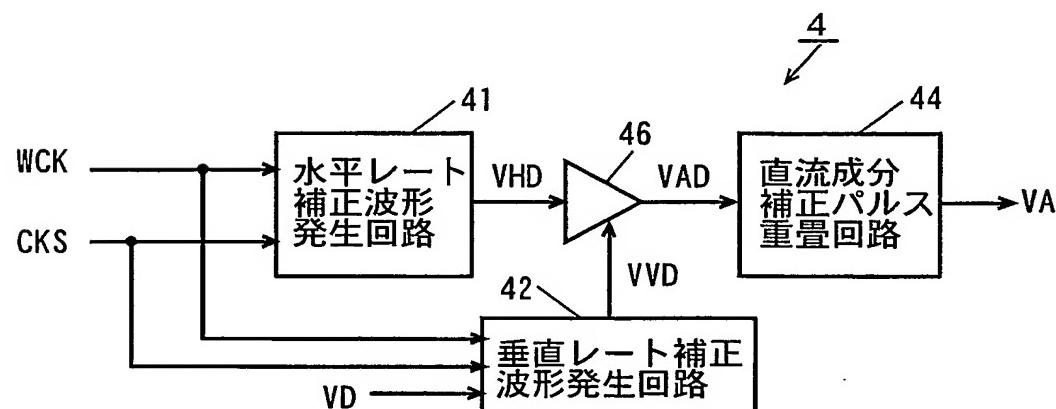


THIS PAGE BLANK (USPTO)

F I G . 1 2

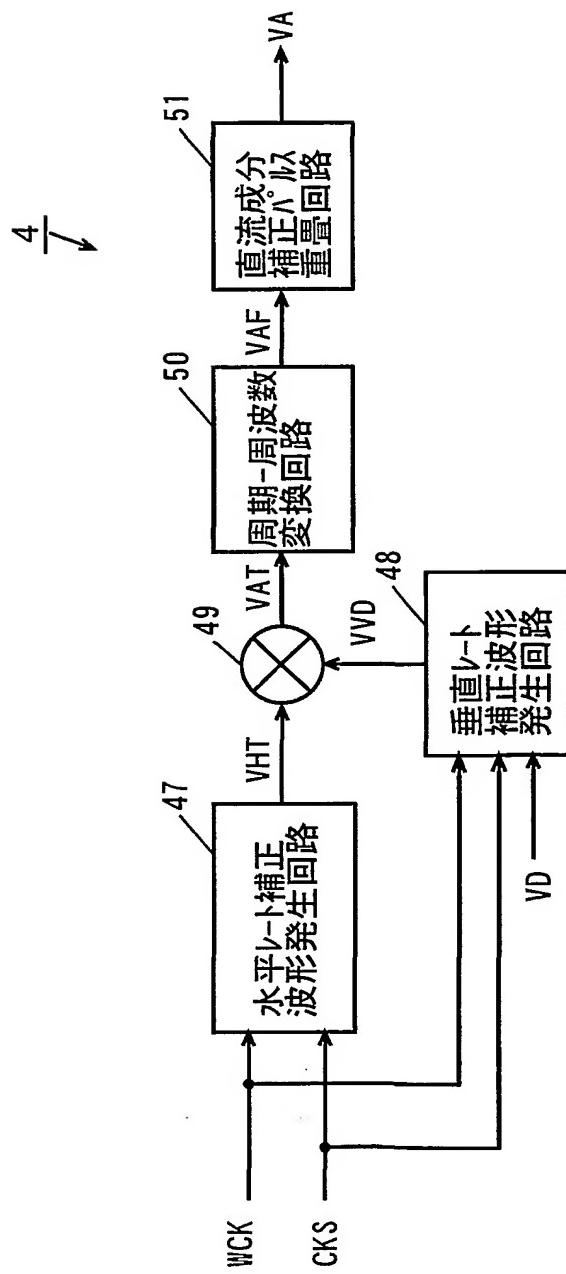


F I G . 1 3



THIS PAGE BLANK (US)

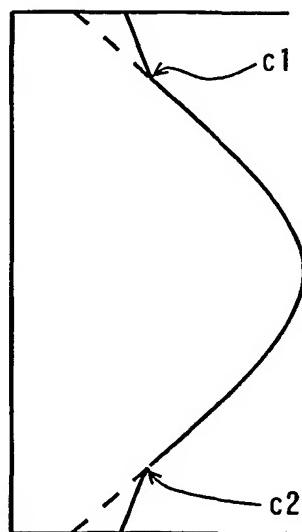
FIG. 14



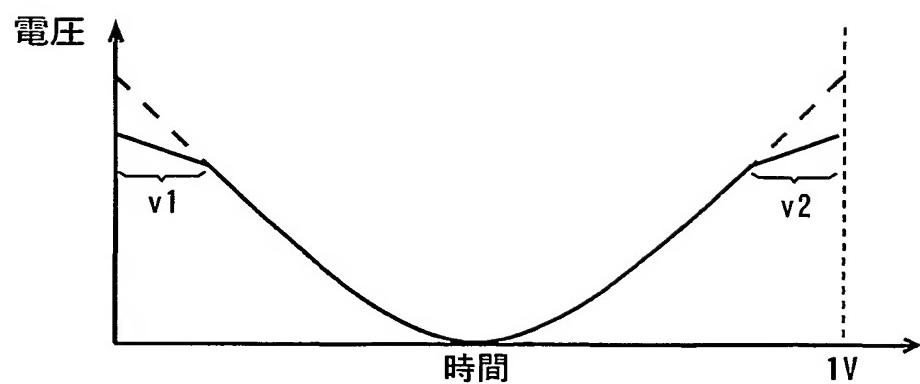
THIS PAGE BLANK

FIG. 15

(a)



(b)



THIS PAGE BLANK

FIG. 16

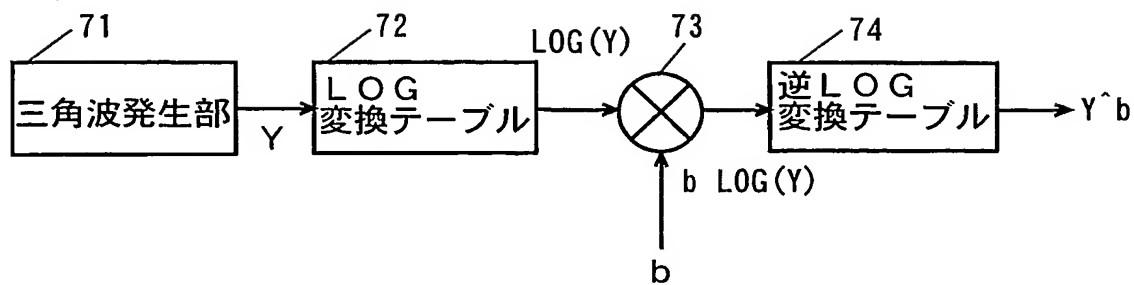
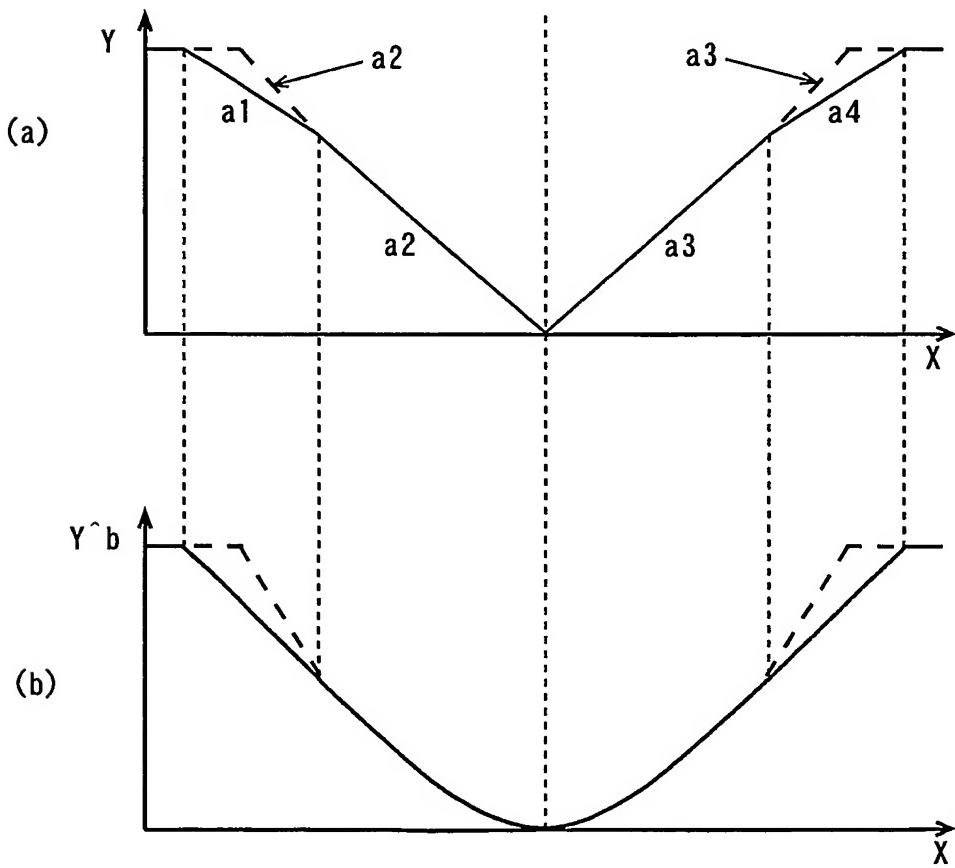
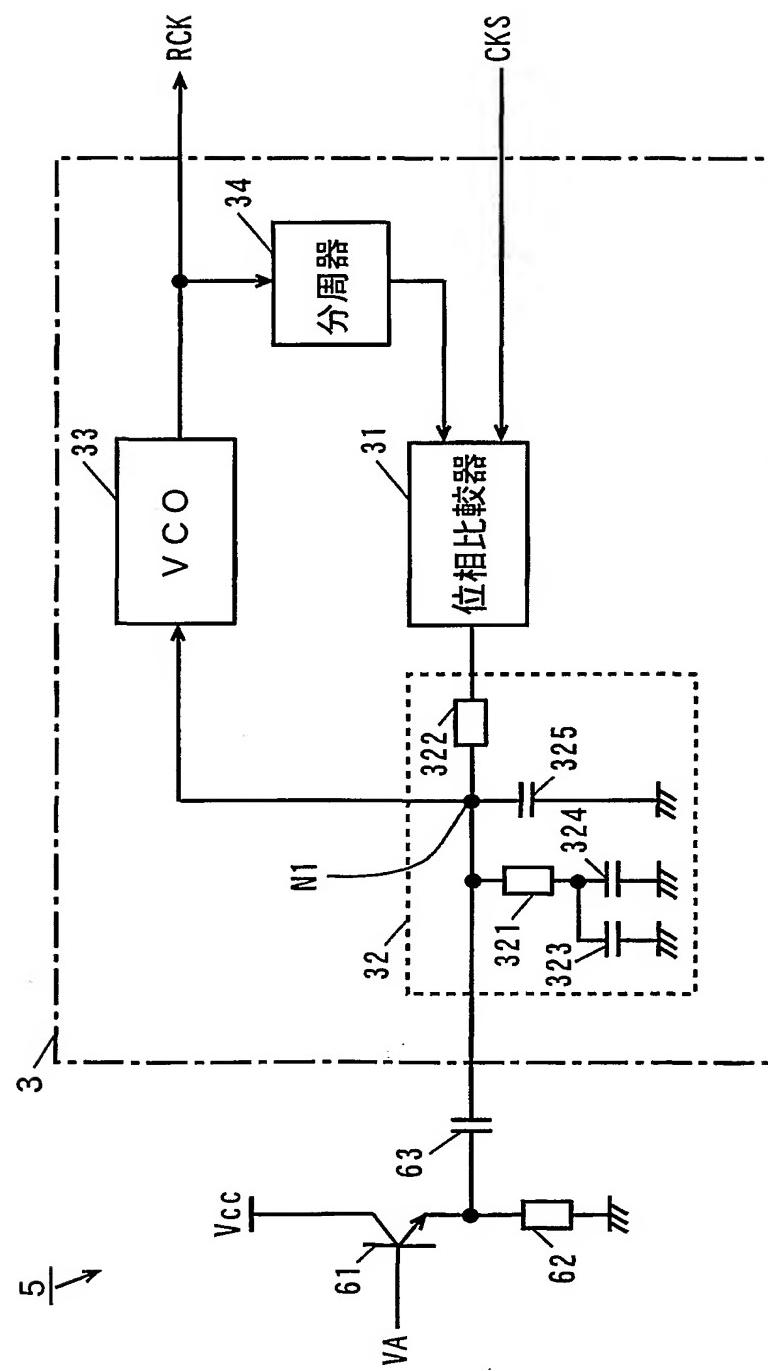


FIG. 17



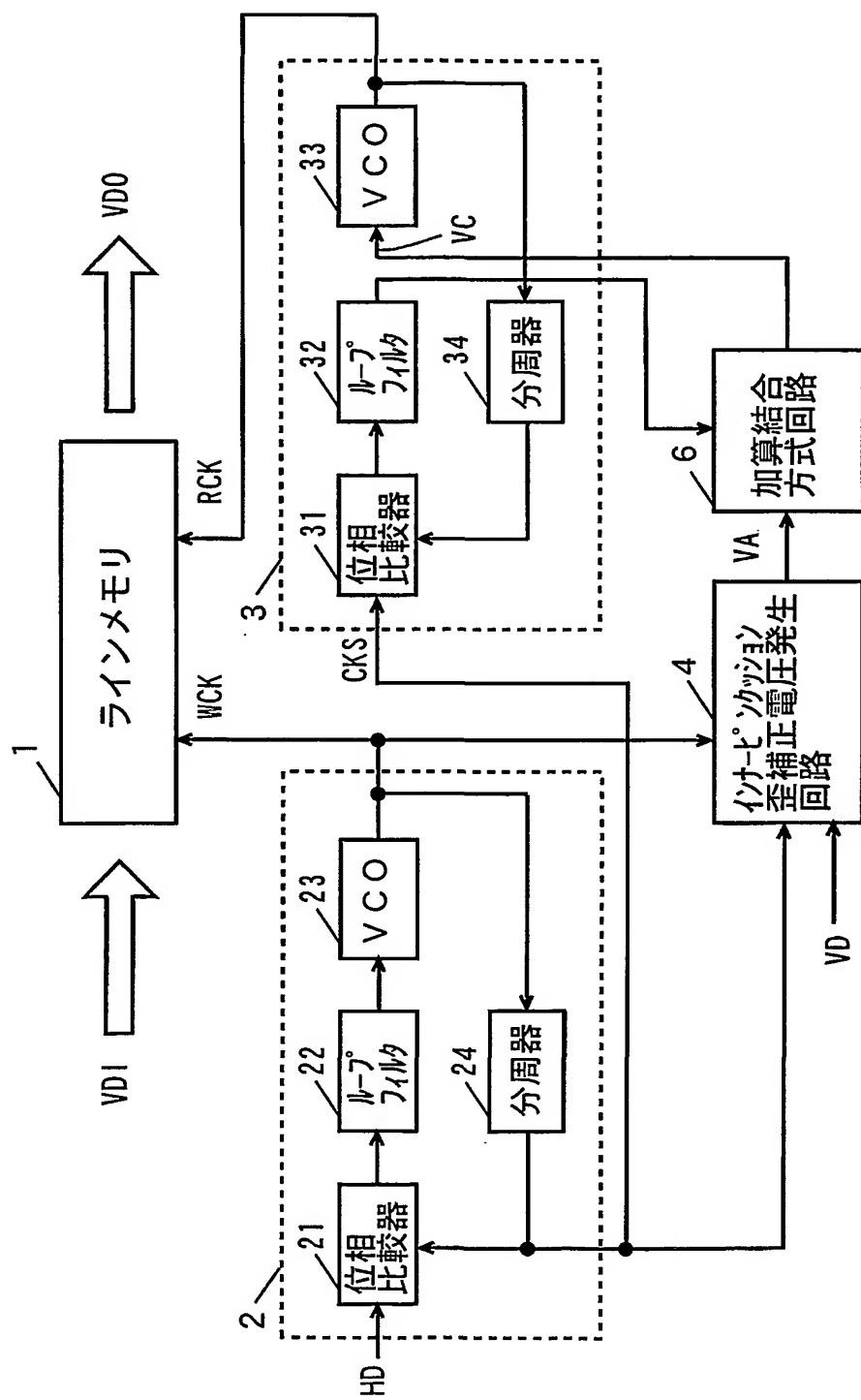
THIS PAGE BLANK

FIG. 18



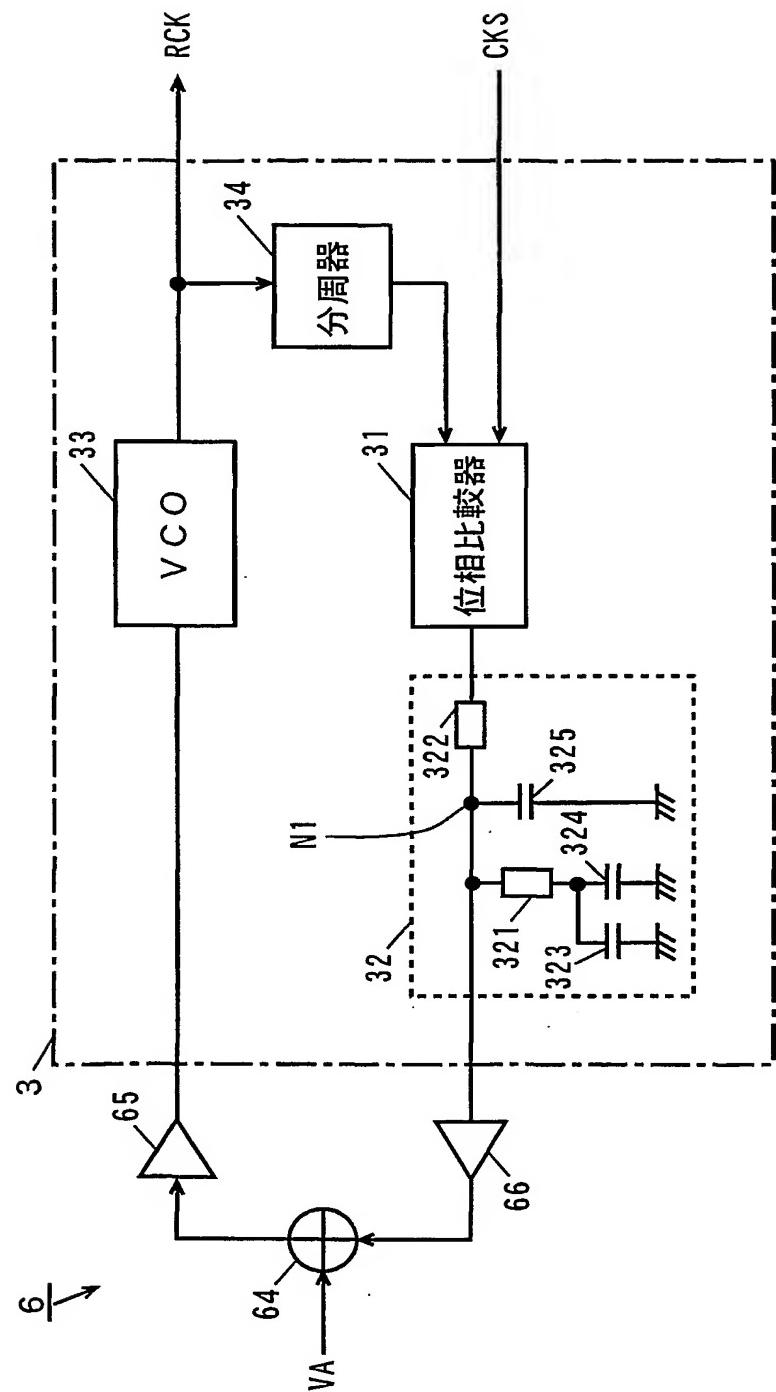
THIS PAGE BLANK (USPTO)

FIG. 19



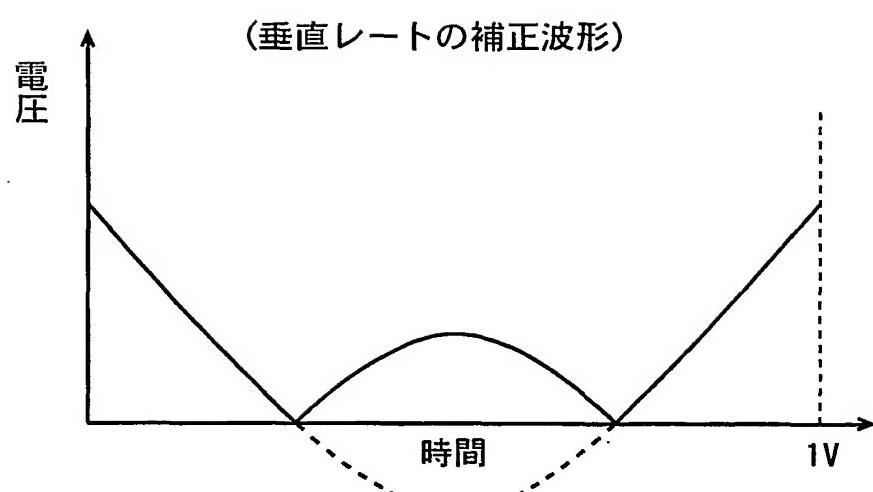
THIS PAGE BLANK

FIG. 20



THIS PAGE BLANK

FIG. 21



HIS PAGE BLANK (USPTO)